

平成 27 年度 修士論文

時間デジタイザ回路の 高性能化の研究

指導教員 小林春夫 教授

群馬大学大学院 理工学専攻

電子情報数理教育プログラム

中條 剛志

目次

第1章 序論.....	2
1.1 研究背景.....	2
1.2 研究目的.....	3
第2章 時間信号測定回路.....	4
2.1 タイムディジタイザ回路.....	4
2.2 基本タイムディジタイザ回路.....	5
2.1 デルタシグマ型タイムディジタイザ回路.....	6
第3章 マルチビットデルタシグマ型タイムディジタイザ回路.....	11
3.1 概要.....	11
3.2 回路構成.....	12
3.3 回路動作.....	16
第4章 実装による提案技術の検証.....	18
4.1 Programmable System-on-Chip.....	18
4.2 マルチビット $\Delta\Sigma$ 型タイムディジタイザ回路のPSoC実装回路.....	19
4.3 PSoCへの実装および測定.....	23
第5章 遅延素子の誤差校正.....	26
5.1 遅延素子の誤差とその影響.....	26
5.2 Data Weighted Averaging.....	27
5.3 Data Weighted Averagingの実証実験.....	30
第6章 結論.....	39
謝辞.....	40
参考文献.....	41
業績.....	42

第 1 章 序論

1.1 研究背景

半導体製造プロセスの微細化に伴い、使用する電源電圧は低下する一方、トランジスタのスイッチング速度は向上している。アナログ回路設計において、図 1.1 に示すように電源電圧の低下は電圧方向の分解能低下を招くが、スイッチングの高速化によって時間方向の分解能は向上することになる。すなわち、「信号エッジの時間方向精度の方が、電圧方向の精度よりも優れている」というパラダイムシフトに直面している。このような状況により、タイムディジタイザ回路 (Time-to-Digital Converter:TDC) や時間差増幅回路 (Time Difference Amplifier:TDA) のような時間方向の信号処理を行う時間分解能型回路が近年注目されている。このタイムディジタイザ回路 (Time-to-Digital Converter:TDC) は 2 つの信号のエッジ間の時間を測定しデジタル値として出力する回路である。アプリケーションとして、完全デジタル PLL の位相比較器、センサインターフェース回路、変調回路、復調回路、TDC ベース ADC、DDR メモリインターフェース等での高速入出力インターフェース回路等の低コスト・高品質テスト技術などがあり、現在活発に研究開発が行われている。TDC 回路は大半がデジタル回路で構成されているため微細デジタル CMOS プロセスで実装するのに適しており、ナノ CMOS 時代において、時間領域アナログ回路のキーコンポーネントとして重要な役割を果たすことが期待されている。

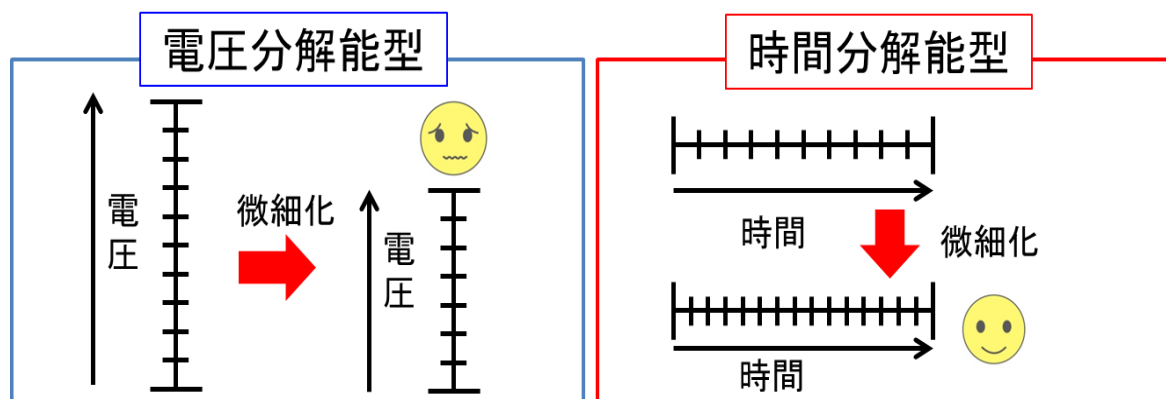


図 1.1 半導体製造プロセスの微細化による電圧方向の分解能と時間方向の分解能

1.2 研究目的

タイムディジタイザ回路のアプリケーションとしては、完全デジタル位相同期回路 (All-Digital Phase Locked Loop) の位相比較器やセンサインターフェース回路、変調回路、復調回路、TDC ベースの ADC (Analog-to-Digital)、時間差テスト回路など、多岐にわたっている。タイムディジタイザ回路の高性能化はこれらの回路の高性能化に繋がることになる。

そこで本研究では、 $\Delta \Sigma$ 型 TDC の高性能化に関する研究を行った。特に $\Delta \Sigma$ 型 TDC の「分解能」と「測定時間」に着目し、下記に示す技術を提案した。

- ・マルチビットデルタシグマ型タイムディジタイザ回路

さらに、デルタシグマ型タイムディジタイザ回路について、下記の自己校正技術を提案した。

- ・Data Weight Averaging による遅延素子の相対誤差に対する自己校正

マルチビットデルタシグマ型タイムディジタイザ回路、Data Weight Averaging 回路については、マイクロコントローラおよびディスクリート部品を用いた試作も行い、検証を行った。

第 2 章 時間信号測定回路

2.1 タイムディジタイザ回路

タイムディジタイザ回路（TDC）の概念を図 2.1 に示す。TDC は 2 つのデジタル信号の立ち上がりエッジの入力時間差 ΔT をデジタル値に変換する回路であり、その実現回路には周波数のクロックをカウントする方式など様々な方式が提案されている。TDC は電圧振幅の大きさに依存せずにアナログ信号を計測することができるため、近年注目を集めている。

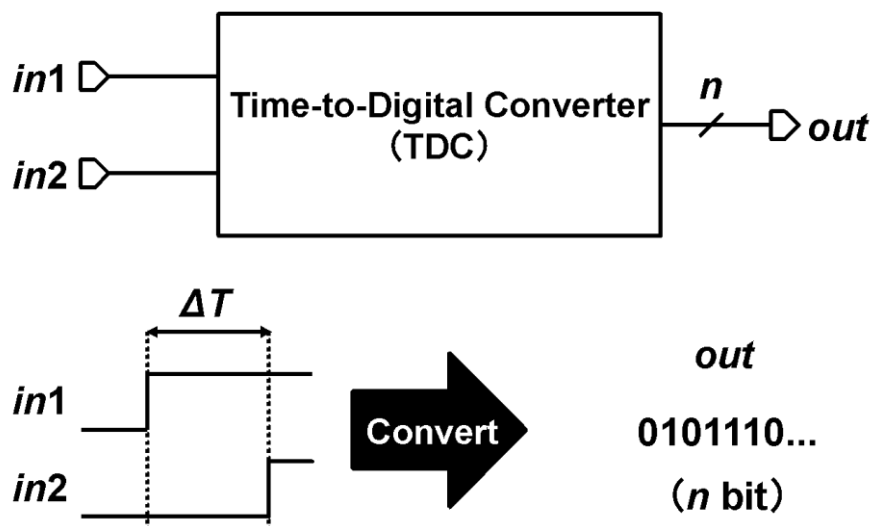


図 2.1 TDC の概念

2.2 基本タイムディジタイザ回路

基本 TDC としてよく使われているフラッシュ型タイムディジタイザ回路 (Flash TDC) の構成を図 2.2 に示す。構成としては START 信号を入力する信号経路に遅延素子を挿入したディレイライン、D フリップフロップ、エンコーダからなる。入力された START 信号は直列に接続された遅延素子を通り、遅延素子を通した後の各々の信号が D フリップフロップの D 入力端子へと入力される。このとき入力された START 信号はバッファ遅延 τ の整数倍だけ遅延させられ、STOP 信号の立ち上がりのタイミングで各 D フリップフロップの状態がラッチされる。これにより求める信号間の時間差 ΔT がバッファ遅延何段に相当するかがわかる。つまり、D フリップフロップからの出力は温度計コード出力として得られ、それが START 信号と STOP 信号の時間差となる。その信号をエンコーダに通すことで時間差に比例したデジタル出力 D_{out} を得ることができる。

Flash TDC はインバータやフリップフロップといったデジタル回路のみで構成することができる。そのため、CMOS プロセスが微細化され、デジタル回路の高速化に伴い、時間分解能やサンプリング周波数等の向上による高性能化や、回路面積の縮小による低コスト化が期待できる。

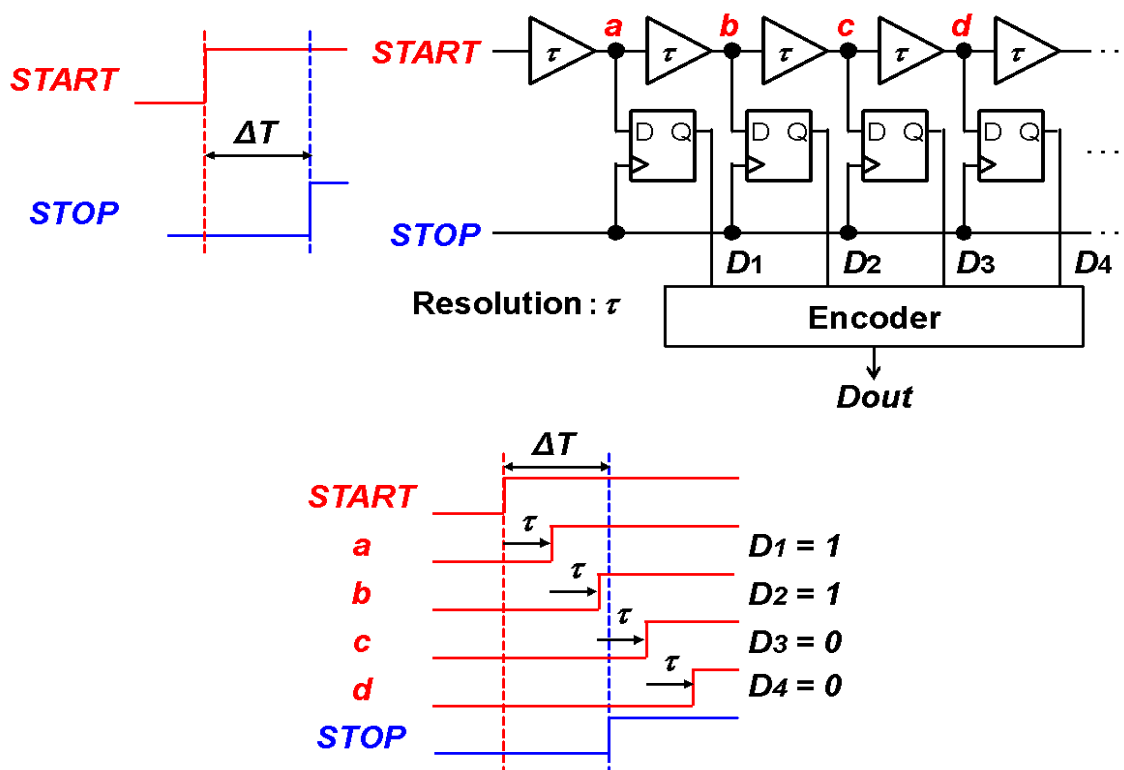


図 2.2 基本 TDC (Flash TDC) の構成

2.3 デルタシグマ型タイムディジタイザ回路

Flash TDC は、任意の信号であっても 1 回の入力で計測を行うことが可能であるというメリットがある反面、時間分解能が遅延素子の遅延値 τ で決まってしまうことや、入力レンジを増やす場合に多くの素子が必要になってしまうというデメリットがある。そのデメリットに対して、単発の時間差信号ではなく繰り返し信号を測定すること（図 2.3）を目的とし、信号の時間差を高精度で測定することが可能かつ回路量の少ないデルタシグマ型タイムディジタイザ回路（ $\Delta\Sigma$ TDC）がある。 $\Delta\Sigma$ TDC では任意の単発時間差信号を測定することはできないが、繰り返し信号であれば測定時間に比例して高精度に測定を行うことが可能となる。また、用いる回路要素も少なくなるため回路規模を小さくすることが可能である。

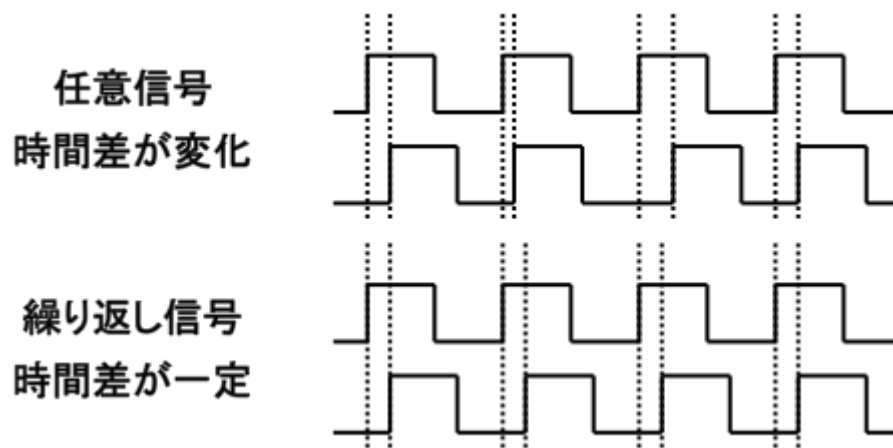


図 2.3 任意信号と繰り返し信号

図 2.4 にシングルビットのデルタシグマ型タイムディジタイザ回路 ($\Delta \Sigma$ TDC) を示す。 $\Delta \Sigma$ TDC は図 2.5 のような積分制御のフィードバック構成となっており、遅延素子 τ 、マルチプレクサ (MUX)、位相比較器、アナログ積分器、コンパレータによって構成されている。2 つの同じ周波数の繰り返しクロック信号を CLK1 と CLK2 に入力すると、立ち上がりエッジの時間差 ΔT に比例したデジタル値が Dout に現れるため、時間差の測定が可能となる。

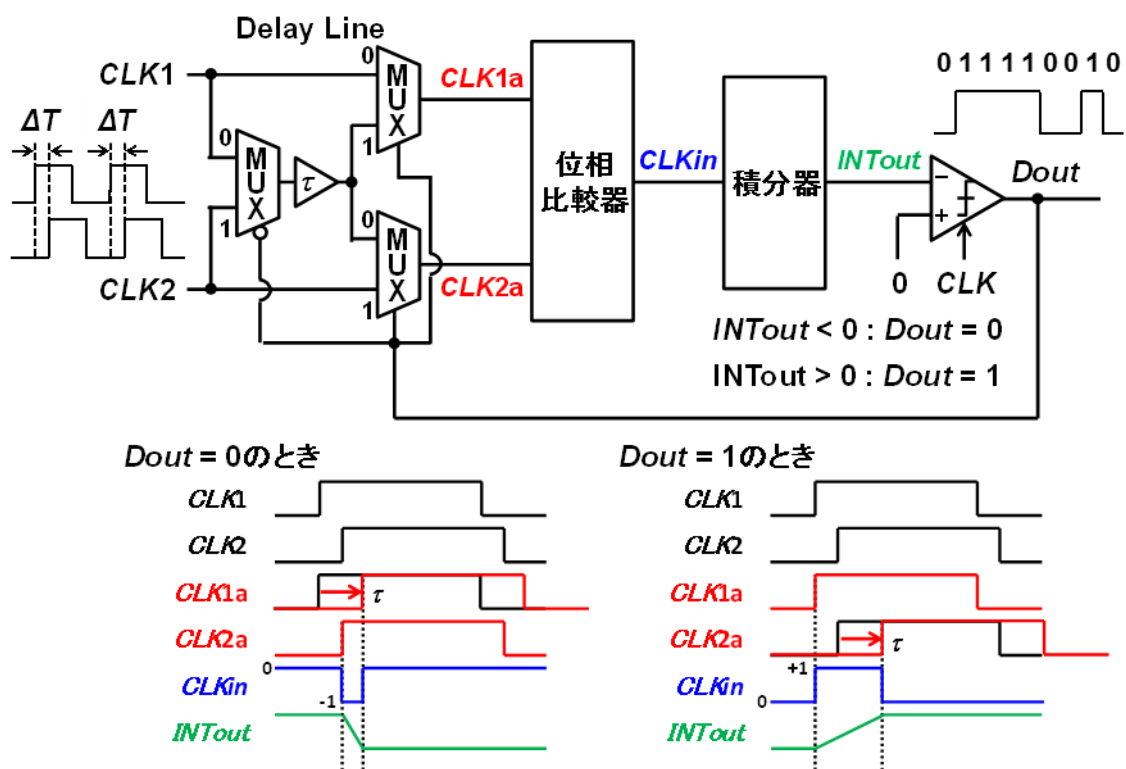


図 2.4 $\Delta \Sigma$ TDC のブロック図

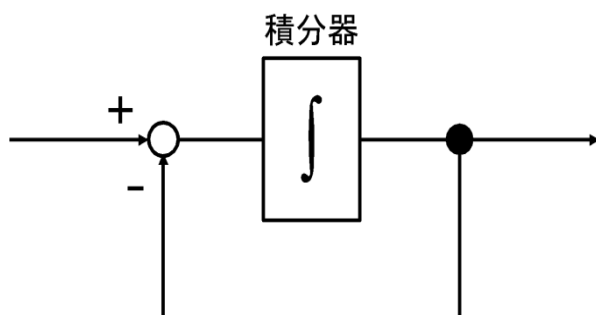


図 2.5 積分制御のフィードバック構成

次に、 $\Delta \Sigma$ TDC の動作について説明する。入力された CLK1、CLK2 はそれぞれマルチプレクサによって、比較器出力 Dout に応じて経路が制御される。マルチプレクサを通過後の信号は、位相比較器によりこれらの信号の時間差に応じたパルスを出力する。その後、その出力パルス幅に応じた電圧に変換し、電圧モードで積分して出力する。さらに、積分器の出力をコンパレータによりゼロと比較し、最終的な出力 Dout を求める。CLK1 の立ち上がりタイミングが速い場合には時間差を求めたときに正となるため、積分後のコンパレータ出力は 1 となり、次のクロックでは CLK1 は遅延の経路、CLK2 はそのまま信号を通す経路がそれぞれ選択される。CLK2 が速い場合には時間差を求めたときに負となるため、積分後のコンパレータ出力は 0 となり、選択される経路はさきほどの場合とは逆となる。タイミングチャートは図 2.4 に示したようになる。

図 2.6 に $\Delta \Sigma$ TDC の時間差 ΔT と出力 Dout の関係を示す。時間差がプラス (CLK1 が CLK2 よりも早い) のとき、出力 Dout の 1 の数は多くなり、時間差がマイナス (CLK2 が CLK1 よりも早い) のとき、出力 Dout の 1 の数は少なくなる。時間差がゼロのとき、出力 Dout の 1 の数と 0 の数は等しくなる。図 2.7 に $\Delta \Sigma$ TDC の出力特性と測定可能範囲を示す。入力の時間差に比例して 1 が出力されるため、出力 Dout の 1 の数からクロック間の立ち上がり時間差 ΔT を測定することができる。入力クロックの時間差 ΔT の測定可能範囲は、

$$-\tau < \Delta T < \tau \quad (2.1)$$

となる。また、時間分解能 R は遅延素子 τ と時間差信号入力回数で決定され、

$$R = \frac{2\tau}{\text{時間差信号入力回数}} \quad (2.2)$$

と表される。そのため、積分型 ADC (Analog-to-Digital Converter) と同様に、測定時間が長いと高時間分解能で時間差 ΔT を測定することができる。

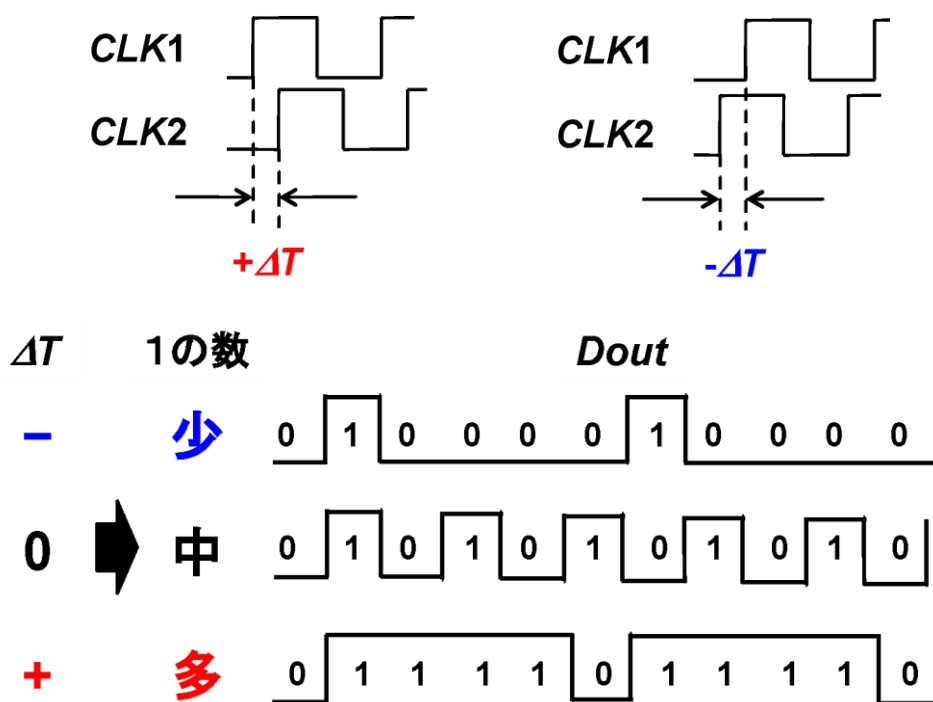


図 2.6 $\Delta \Sigma$ TDC の時間差 ΔT と出力 Dout の関係

The number of output pulse '1' (N_{DATA})

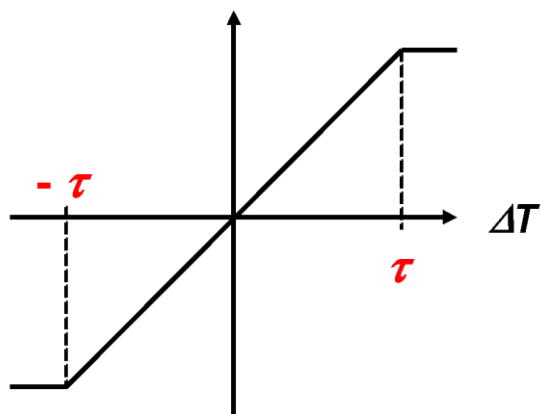


図 2.7 $\Delta \Sigma$ TDC の出力特性と測定可能範囲

このシングルビット $\Delta \Sigma$ 型 TDC は次の特徴がある。

- 簡単な回路構成であり、アナログ回路は積分器およびコンパレータのみ
- 遅延素子の遅延量は測定範囲と分解能のみに影響
- 遅延素子は一つなので遅延ミスマッチが存在しない
- 高線形性
- 入力回数が分解能となり、入力の回数に比例して高時間分解を得る。

実際の測定では測定時間が有限の範囲となるため、出力の分解能も有限の値となる
一方、欠点として次のものがある。

- 時間分解能を高くするには測定時間を増加させ、多数の CLK を入力させなくてはならない

第3章 マルチビットデルタシグマ型

タイムディジタイザ回路

3.1 概要

シングルビット $\Delta\Sigma$ タイムディジタイザ回路は時間分解能を大きく取る場合、測定時間が長くなるという欠点がある。この欠点を克服するため、 $\Delta\Sigma$ 型タイムディジタイザ回路のマルチビット化を提案する。図 3.1 に n bit のマルチビット $\Delta\Sigma$ 型 TDC の回路ブロック図を示す。

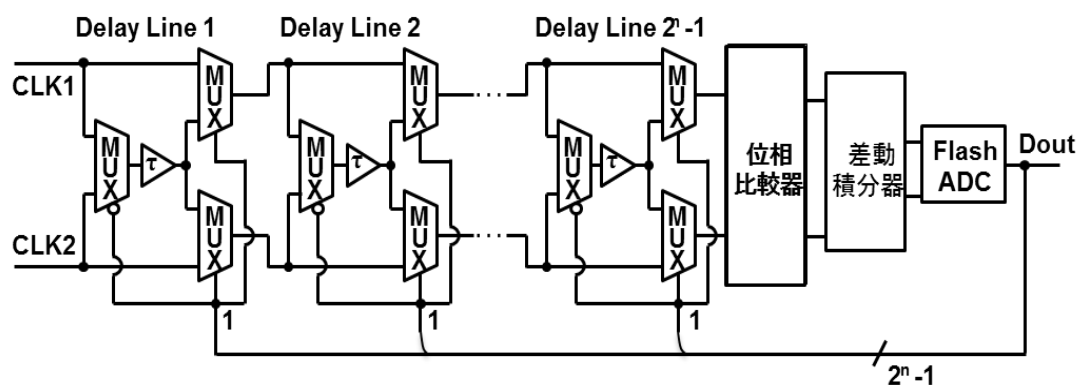


図 3.1 マルチビット $\Delta\Sigma$ 型タイムディジタイザ回路

基本的な構成はシングルビットの $\Delta\Sigma$ TDCと同じだが、マルチビット化のため、

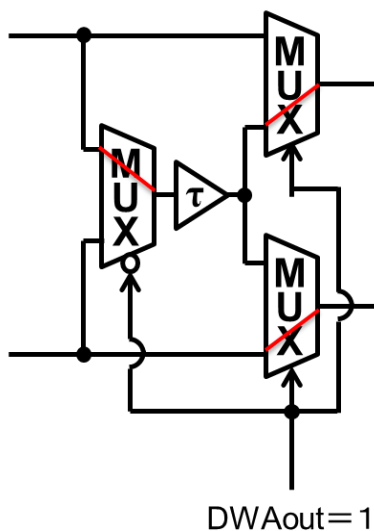
- 遅延線を複数個接続
- コンパレータを n bit の差動構成 A/D コンバータへの変更
- Dout を並列のまま入力側にフィードバックさせ、対応する遅延線に投入

を行う。

3.2 回路構成

図 3.2 に遅延線を示す。マルチビット $\Delta \Sigma$ 型 TDC は遅延素子を複数個使用する。出力の Dout をフィードバックさせ、マルチプレクサに入力し CLK1 と CLK2 のどちらかに遅延 τ を与える。一つの遅延線だけ見た場合、Dout が 1 の場合は CLK1 の立ち上がり時間を τ だけ遅らせる。逆に Dout が 0 の場合、CLK2 の立ち上がり信号を τ だけ遅らせる。複数個の遅延を並べた場合、入力のデジタル値に応じて CLK1、CLK2 の立ち上がり信号に遅延を与えるため、デジタル値を時間差に変換する回路として動作する。

- DWAout=1でCLK1遅延



- DWAout=0でCLK2遅延

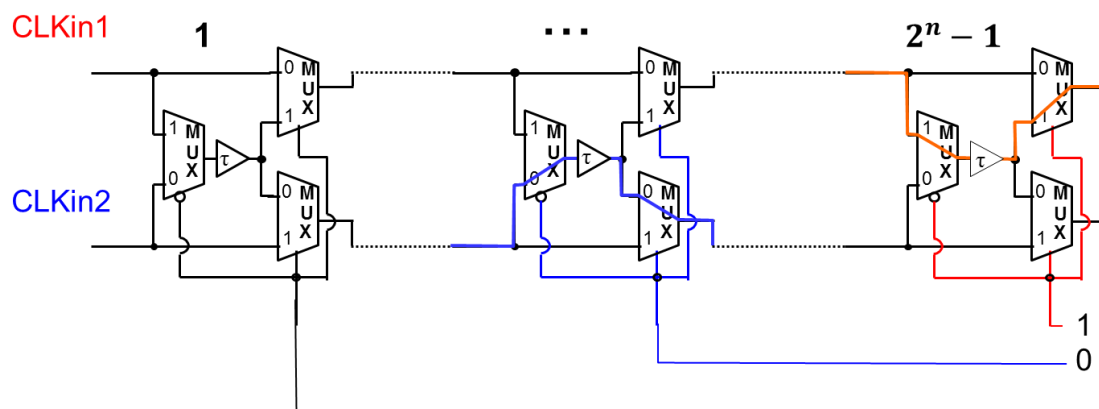
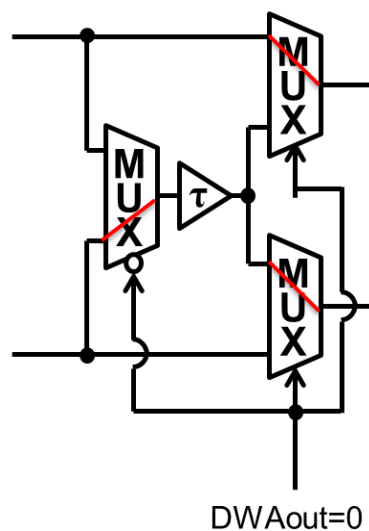
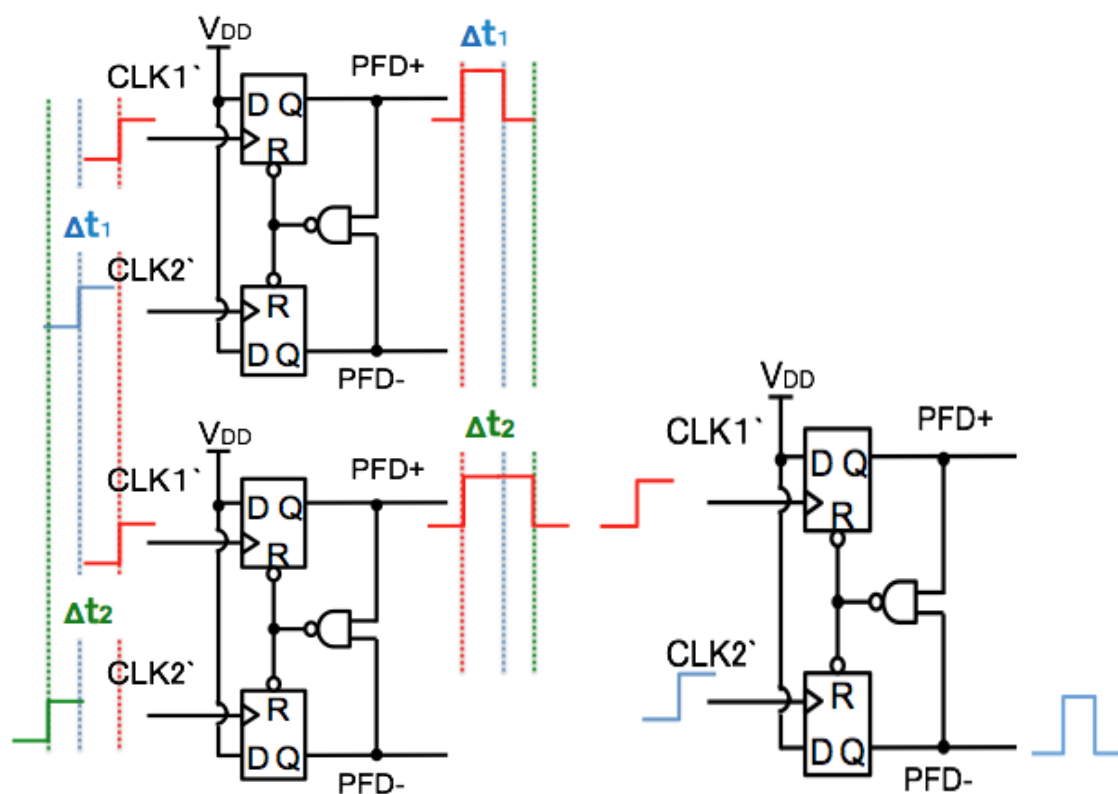


図 3.2 遅延線と入力

図 3.3 に位相比較器を示す。位相比較器は入力の時間差に応じて立ち上がり信号を出力する回路となっており、時間差が大きいほど立ち上がり時間が長く、CLK1 と CLK2 のどちらが先に立ち上がるかによって出力する D フリップフロップのノードも変わる。図 3.3 (a) は入力時間差とパルス幅の関係、図 3.3 (b) は CLK2 が先に立ち上がる場合のパルスについて示す。



(a) 入力時間差に対するパルス幅の違い

(b) CLK2' が先に立ち上がる場合

図 3.3 位相比較器

図 3.4 に積分器および 3bit 構成の場合の差動 ADC を示す。積分器はオペアンプ、キャパシタ、抵抗、電源で構成される。信号が入力される間のみスイッチが ON となり、充電および放電が行われる。上下で対称な構成となっており、CLK1 に入力がある場合は上段の積分器が放電、下段の積分器が充電される。逆に CLK2 に入力がある場合、上段の積分器が充電、下段の積分器が放電される。

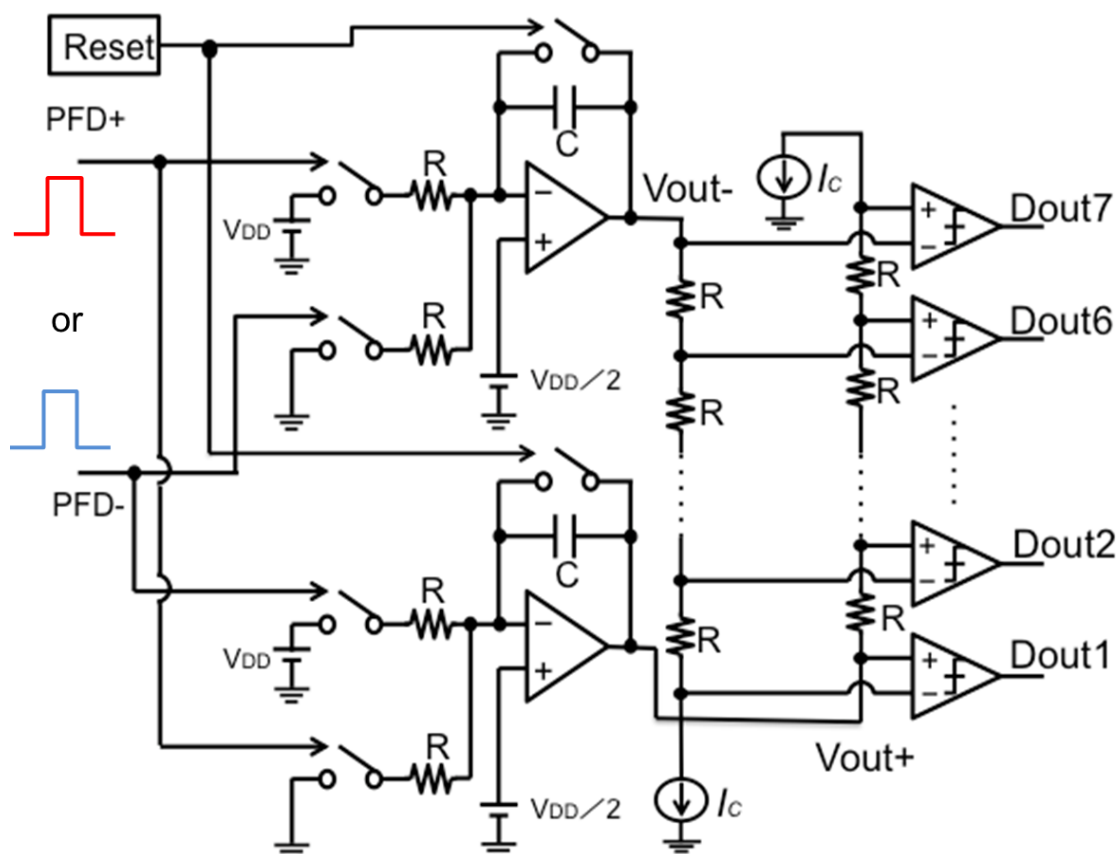


図 3.4 積分器と差動 ADC

積分器出力は差動 ADC に入力する。図 3.4 の V_{out+} と V_{out-} の差を抵抗 \times 電流値と比較し D_{out} の値を定める。図 3.5 に 3bit 構成時の 2 点の電圧差と比較対象について示す。この差動 ADC のデジタル出力は温度計コードで出力する。

$$V_{out+} - V_{out-}$$

の値に対して 7 段階の電圧で比較し、電圧差の値が大きいほど出力デジタル値の 1 の数が比例して増える。

3.3 回路動作

図 3.7 に 3bit の場合の回路動作概況を示す。

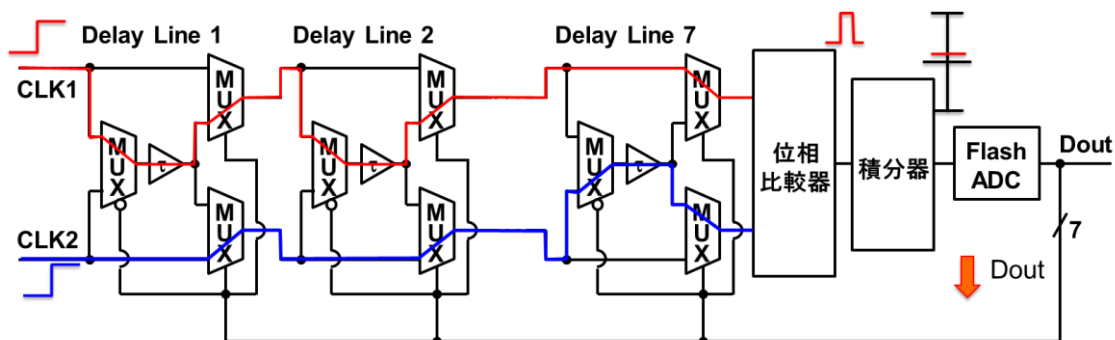


図 3.7 マルチビット $\Delta \Sigma$ TDC 回路動作

回路の動作はシングルビット $\Delta \Sigma$ 型 TDC とほぼ等しい。

入力された CLK1、CLK2 は遅延線で遅延が与えられる。この遅延量は Dout の値と遅延素子の遅延量によって決まる。

遅延線を通過後の信号は、位相比較器によりこれらの信号の時間差に応じたパルスを出力する。この出力パルス幅に応じて電圧に変換し、電圧モードで積分して出力する。さらに、積分器出力の差を差動 ADC によって A/D 変換し、最終的な出力 Dout を求める。

例として 3bit 構成で CLK1 の立ち上がりタイミングが $+2\tau$ (τ) 早い場合を例に説明する。

(1) 入力 1 回目 (充電状態)

$+2\tau$ の時間差は遅延線で時間差を与えられる。初期状態では CLK1 に 3τ 、CLK2 に 4τ の遅延が掛かるように設定する。遅延線を通じた信号は CLK1 が $+3\tau$ 早く立ち上がる時間差信号となっており、位相比較器で立ち上がり信号の時間差をパルス幅とし、積分器に入力する。この場合積分器の出力はわずかに上がり、差動 ADC 出力は $[0, 0, 0, 1, 1, 1, 1]$ となる。よって次のクロックでは CLK1 は 4τ 、CLK2 は 3τ が掛かる経路がそれぞれ選択される。

(2) 入力 2 回目 (充電状態)

2 回目の入力では、CLK1 に 4τ 、CLK2 に 3τ が掛かるが、CLK1 と CLK2 の時間差が $+2\tau$ のため、遅延線通過後は $+1\tau$ の時間差となる。時間差は位相比較器、積分器へ入力され、出力は一回目と同じように上昇する。

(3) 入力 N 回目 (測定状態)

積分器の出力差が

$$V_{out+} - V_{out-} = 2RIc$$

より上昇すると、A/D 出力は[0, 0, 1, 1, 1, 1, 1]となる。その結果、次の入力では CLK1 に大きな遅延のフィードバックがかかる。

(3) 入力 N+1 回目 (測定状態)

前回の入力の結果、入力した CLK1 には 5τ CLK2 には 2τ の遅延がかかる。よって遅延線の出力では CLK2 が 1.0τ だけ早くなり、位相比較器が -1τ のパルス幅を出力、積分器を通った結果 2 点の積分器出力の差が $2RIc$ よりも減少する。そして A/D 出力は[0, 0, 0, 1, 1, 1, 1]となり、N 回目の動作を行う。

以降、この N、N+1 回目の動作を繰り返す。出力は[0, 0, 1, 1, 1, 1, 1]と[0, 0, 0, 1, 1, 1, 1]を繰り返すことになる。この 2 つの出力において全ての 1 の数を加算すると「9」となる。一方すべての出力点数は「14」となる。

また、出力の計算は

$$\text{入力時間差: } \left\{ \left(\frac{1 \text{ の数}}{\text{全出力点数}} \times (2^n - 1) \right) - \frac{(2^n - 1)}{2} \right\} \tau$$
$$\left\{ \left(\frac{9}{14} \times 14 \right) - 7 \right\} \tau = 2\tau$$

であり

として時間差を計測する。

また、仮に時間差がゼロのとき出力 Dout の 1 の数と 0 の数は等しくなる。入力の時間差に比例して 1 が多く出力されるため、シングルビット $\Delta\Sigma$ 型 TDC と同様に出力 Dout の 1 の数からクロック間の立ち上がり時間差測定することができる。

入力クロックの時間差 ΔT の測定可能範囲は、nbit の場合

$$-(2^n - 1)\tau < \Delta T < (2^n - 1)\tau \quad (4.1)$$

となる。また、時間分解能 R は遅延素子 τ と時間差信号入力回数 N_{DATA} で決定され、

$$R = \frac{2 \times (2^n - 1)\tau}{(2^n - 1) \times \text{時間差信号入力回数}} \quad (4.2)$$

と表される。

シングルビットと比較すると、同じ τ の遅延量を使い、測定時間も等しくすると $(2^n - 1)$ 倍の測定範囲を取ることができる。

また、遅延素子 τ を $1 / (2^n - 1)$ 倍の遅延量にした場合、一回の入力で $(2^n - 1)$ 倍の分解能でデータが出力されるため、測定時間を等しくしたまま $(2^n - 1)$ 倍の分解能で時間差測定が可能である。そして、分解能を等しくした場合は測定時間を $1 / (2^n - 1)$ に短縮することが可能である。

回路全体ではデルタシグマ構成を取っている。そのため、AD 変換器に誤差が存在した場合、その誤差が遅延線の遅延素子選択に影響し、誤差を校正する方向に時間差信号へ遅延を与えるため、誤差の影響を低減することが可能である。

第4章 実装による提案技術の検証

4.1 Programmable System-on-Chip

これまでの章で述べてきた提案技術を検証するために、Programmable System-on-Chip™ (PSoC) を用いた。PSoC とはサイプレス・セミコンダクター社 (Cypress Semiconductor Corporation.) が製造しているマイクロコントローラである。PSoC の内部には OP アンプ等のアナログ素子とロジック等のデジタル素子が混在しており、それら自由に組み合わせることで所望の SoC を実現できる。PSoC で実現するメリットとしては、次のようなことが挙げられる。

- ・ 低コスト
- ・ 開発期間が短い
- ・ オンチップでデバックと修正が可能
- ・ 測定結果を容易に出力可能

そこで本章では、マルチビット $\Delta \Sigma$ TDC の PSoC 実装と測定結果について示す。

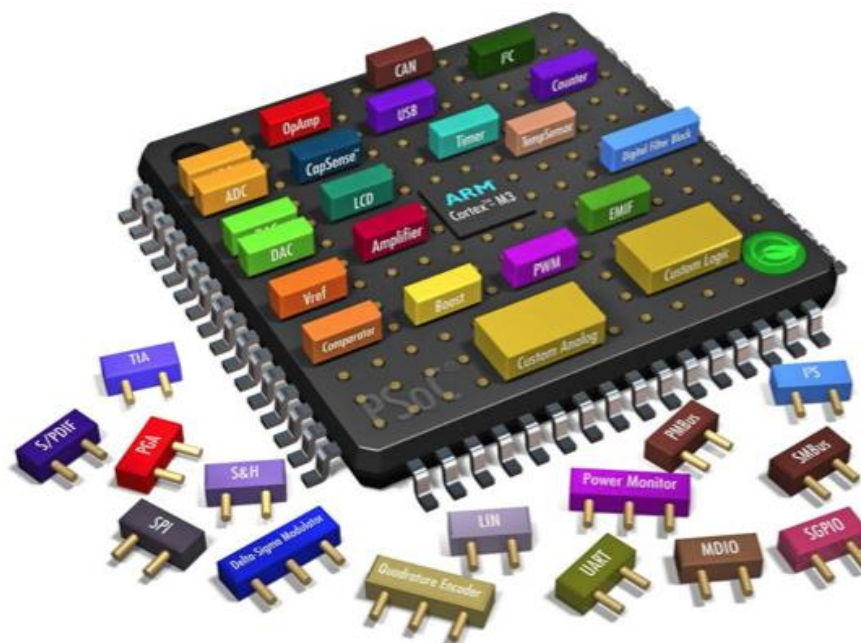


図 4.1 programmable-system on chip™

4.2 マルチビット $\Delta\Sigma$ 型タイムディジタイザの PSoC 実装回路

図 4.2 にマルチビット $\Delta\Sigma$ 型タイムディジタイザ回路を実装した PSoC と外部基板の写真を示す。

可能な限り PSoC 内部にモジュールを配置したが、素子数不足のため、遅延線、差動 ADC、バッファは外部基板に配置した。また動作確認のため LED を取り付けた。

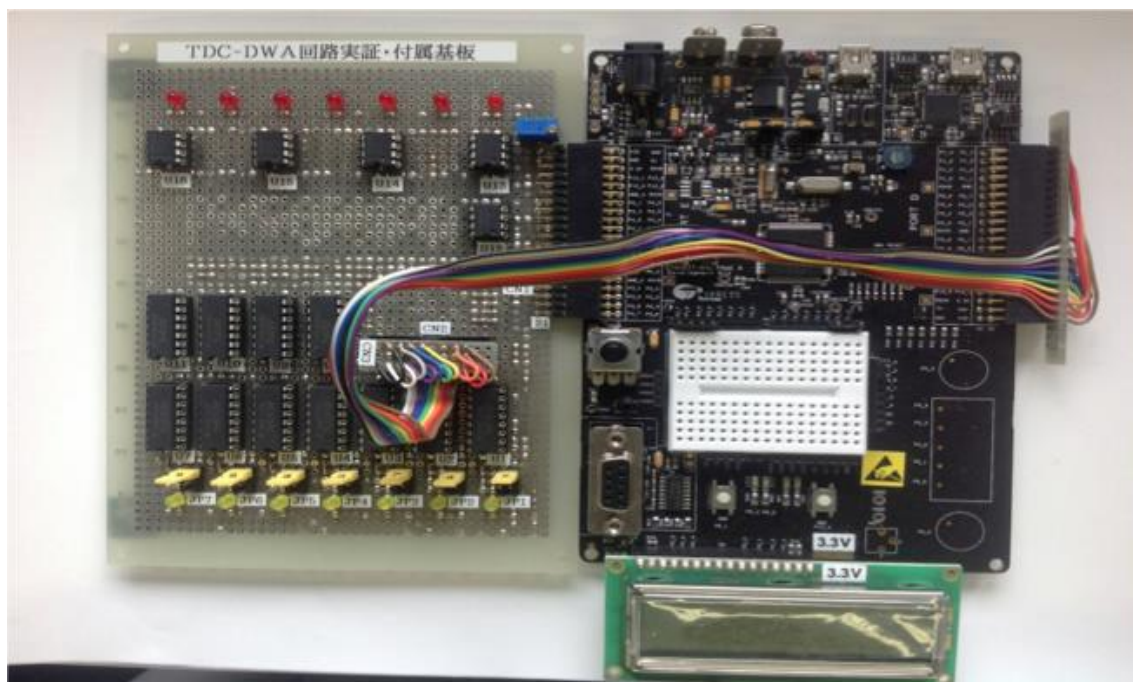


図 4.2 実装 PSoC 基板と外部基板

回路ブロック図を図 4.3 に示す。今回は 3 bit 構成で実装した。

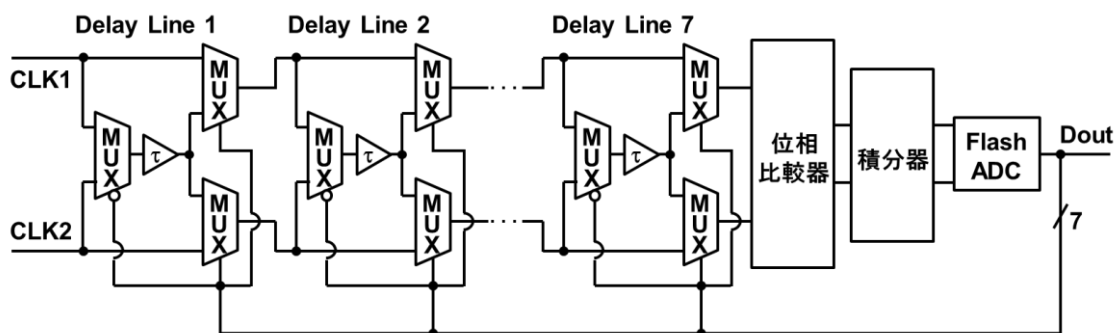


図 4.3 実装 PSoC 基板と外部基板

以下、PSoC 内部に実装した回路図を示す。

● 時間差信号生成回路

入力する時間差信号の生成は図 4.4 の PWM で行った。計測対象とする時間差信号を生成するため、図 4.4 のパルス幅変調回路 (Pulse Width Modulation: PWM) において、PSoC に内蔵された CLOCK 発振源の信号を用いる。予め入力する時間差を決めておき、PWM1 を介して START 信号クロックを出力した後、CLOCK 信号のクロック数を数えて時間を計測し、指定した時間の経過後に STOP 信号クロックを出力する。今回使用した PSoC は内蔵 CLOCK 信号源を 24 MHz で動作させたため、入力可能な時間差信号の分解能は 41.66ns となった。

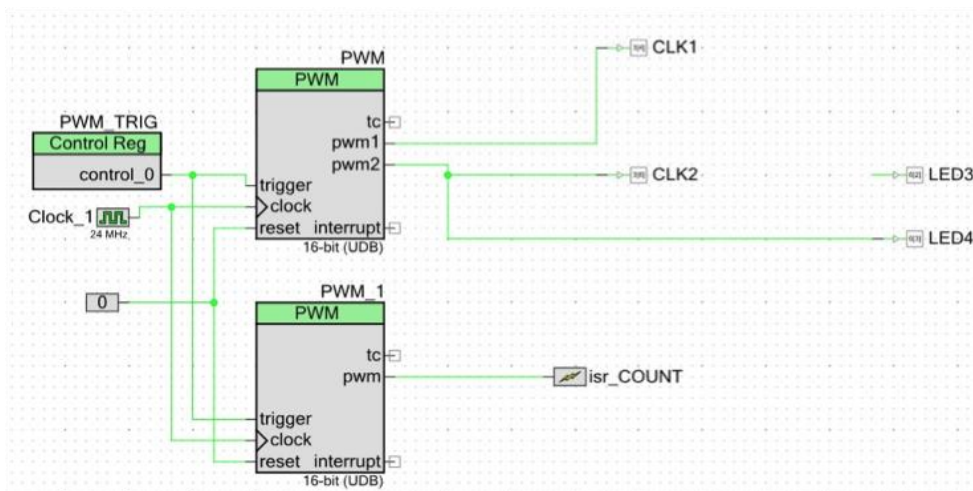


図 4.4 時間差信号生成回路

● 遅延線

遅延線は第 3 章図 3.1 で示した素子を外部基板に実装した。また、使用した遅延素子は図のような抵抗とキャパシタのローパスフィルタで構成されており、使用する抵抗の値を 50 Ω 、150 Ω 、220 Ω から選択が可能であるようにした。

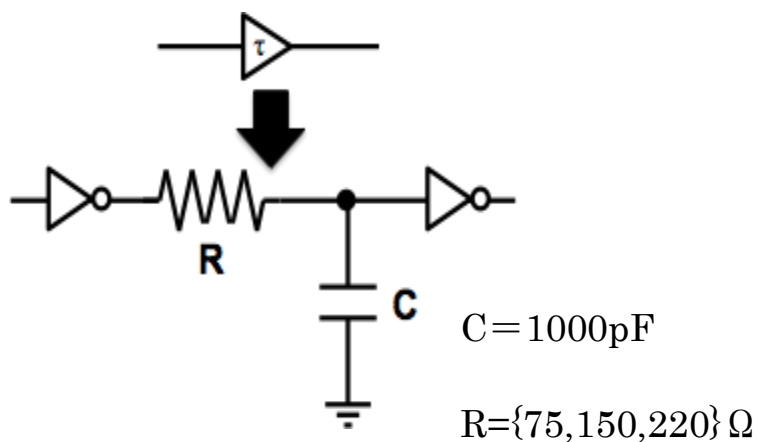


図 4.5 遅延素子の構成

● 位相比較器、積分器、差動 ADC

位相比較器、積分器を図 4.6 で示す。位相比較器は PSoC 内部の D フリップフロップおよび AND、OR、NOR、NOT 回路のモジュールおよび RC ローパスフィルタで実装した。第 3 章図 3.3 の位相比較器に加え、位相比較器の下部にある回路により、CLK1、CLK2 の双方の立ち上がりタイミング差だけ出力が 1 となるように維持している。また、CLK1、CLK2 の両方の立ち上がりが終わった後に後述の StatusReg モジュールでのデータ取り込みタイミングを決定している。

積分器は第三章図 3.4 で示した積分器の構成をとっており、オペアンプ、抵抗、コンデンサで構成されている。また、測定動作開始時に出力をリセットするためのスイッチが付随している。抵抗は $1\text{k}\Omega$ 、コンデンサは $0.1\mu\text{F}$ 、電源電圧 5V である

差動 ADC は第 3 章図 3.4 で示した差動 ADC を PSoC 内部と外部基板に実装した。電流源のみ PSoC の電流源 DAC を使い、他の素子は外部基板上に実装した。使用した電流源は $720\mu\text{A}$ である。

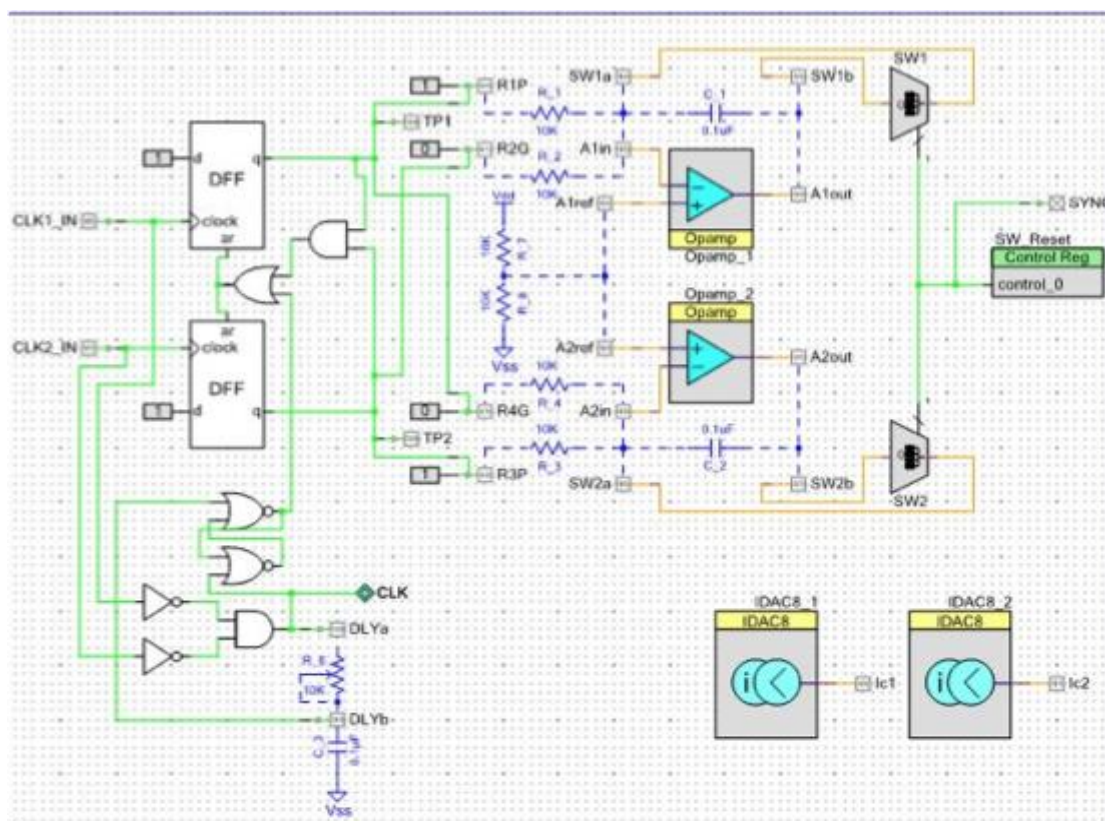


図 4.6 位相比較器と積分器、電流源

● レジスタ

図 4.7 にレジスタを示す。差動 ADC の出力を StatusReg に入力し、PSoC 内部の RAM で記録する。

記録のタイミングとしては、双方の立ち上がり信号を回路に入力し、ADC 出力が変化したタイミングで取り込みを行っている。

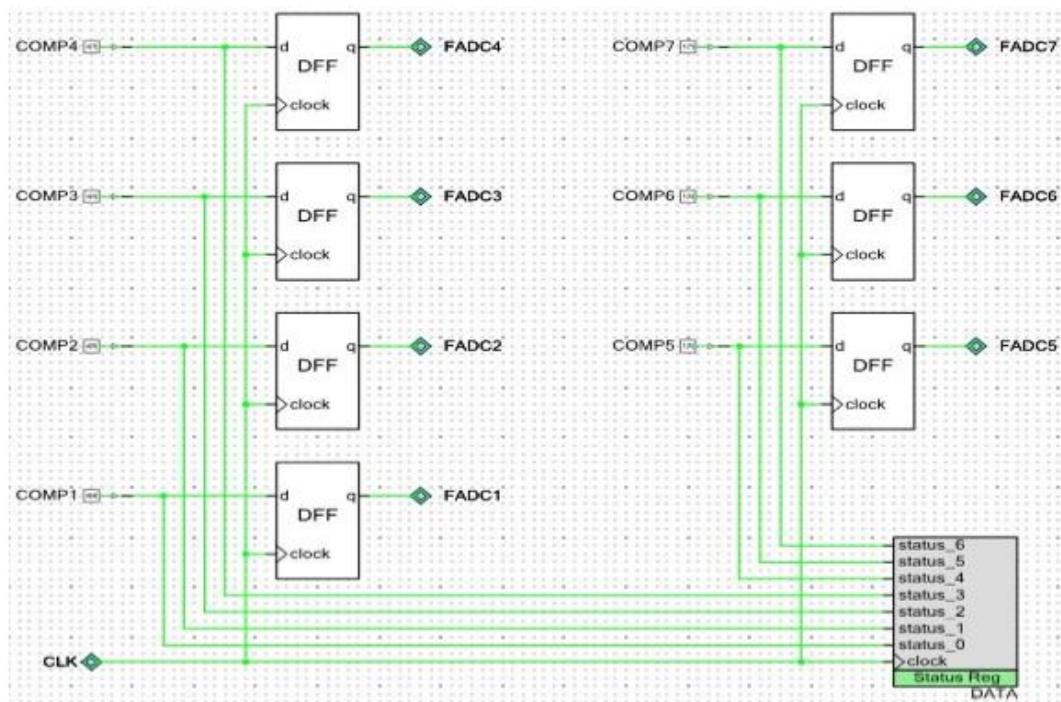


図 4.7 レジスタ

4.3 PSoC への実装および測定

(1) **PSoC への実装方法：** PSoC への実装は、PSoC 書き込み用端子とパソコンを接続し、PSoC 内に配置するモジュールや外部入出力 Pin および配線等の回路構成情報を回路図上に情報を与えることで行った。また、クロック立ち上がりタイミングや各ビットの出力値を読み込むタイミング等を制御する組み込みソフトウェアを C 言語で製作し、PSoC 本体への書き込みを行った。さらに PSoC の計測ソフトをパソコン上で C# 言語で作成した。図 4.8 に測定ソフトウェアを示す。

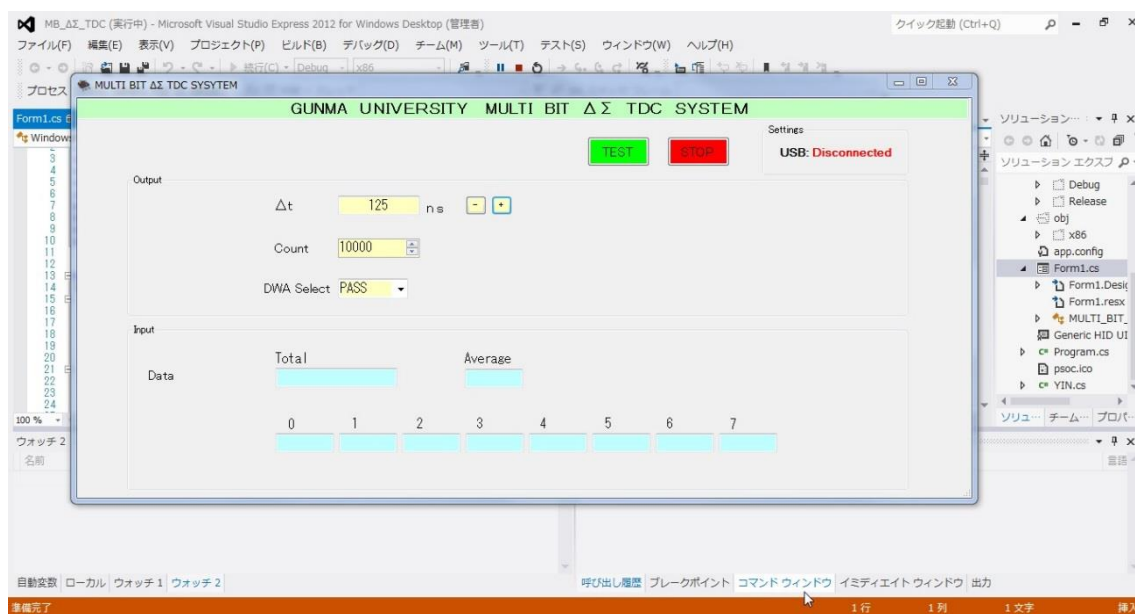


図 4.8 計測ソフトウェア

(2) **PSoC マルチビット $\Delta \Sigma$ TDC の時間差測定実験**：実装したマルチビット $\Delta \Sigma$ TDC の実験を行なった。遅延セル配列は初期値で 0000111 としている。使用する遅延素子は抵抗 150 Ω 、コンデンサ 1000 pF とした。

そして、入力する時間差は-958ns から+958ns の範囲とし、41.66ns 刻みで入力する時間差 (Δt) を定め、信号の入力回数を決定し、測定を行なった。

図 4.9 に TDC の時間差測定実験の結果を示す。横軸が入力時間差、縦軸が出力値である。

(3) **実験結果の評価**：時間差測定の結果について、提案したマルチビット $\Delta \Sigma$ TDC の評価を定量的に行う。本評価では、最小二乗法を用いて線形近似直線を求め、そこから積分非直線性 (INL) を計算する。INL は測定結果と線形近似直線との累積誤差を示す指標であり、0 に近いことが望ましい。線形近似直線のゲインとオフセットは以下の式で表すことができる。

$$\text{gain} = \frac{N \cdot K_4 - K_1 \cdot K_2}{N \cdot K_3 - K_1^2} \quad (1)$$

$$\text{offset} = \frac{K_2}{N} - \text{gain} \cdot \frac{K_1}{N} \quad (2)$$

ここで $N=24$ であり、 K_1 から K_4 はそれぞれ以下の式で表すことができる。

$$K_1 = \sum_{i=0}^{N-1} i \quad (3)$$

$$K_2 = \sum_{i=0}^{N-1} S(i) \quad (4)$$

$$K_3 = \sum_{i=0}^{N-1} i^2 \quad (5)$$

$$K_4 = \sum_{i=0}^{N-1} i \cdot S(i) \quad (6)$$

i は入力時間差であり、 $S(i)$ はそのときの出力数である。(1)式から(6)式より、INL(Integral Non-Linearity: 積分非直線性)を計算する式は以下のようになる。

$$\text{INL}(i) = \frac{S(i) - (\text{gain} \cdot i + \text{offset})}{\text{FS}} \quad (7)$$

FS：合計の測定点数、今回は 10000 回入力を行なったため、出力ビット数 \times 入力回数の 7×10000 とした。

この式から求めた INL を図 4.10 に示す。

実装実験の結果、入力時間差に応じて出力の単純増加が見られ、時間差からデジタル値への変換を行う回路として実証した。また INL の図より、完全な線形にはならないと分かった。理由として積分器や遅延素子等、内部回路のミスマッチが原因だと考えられる。

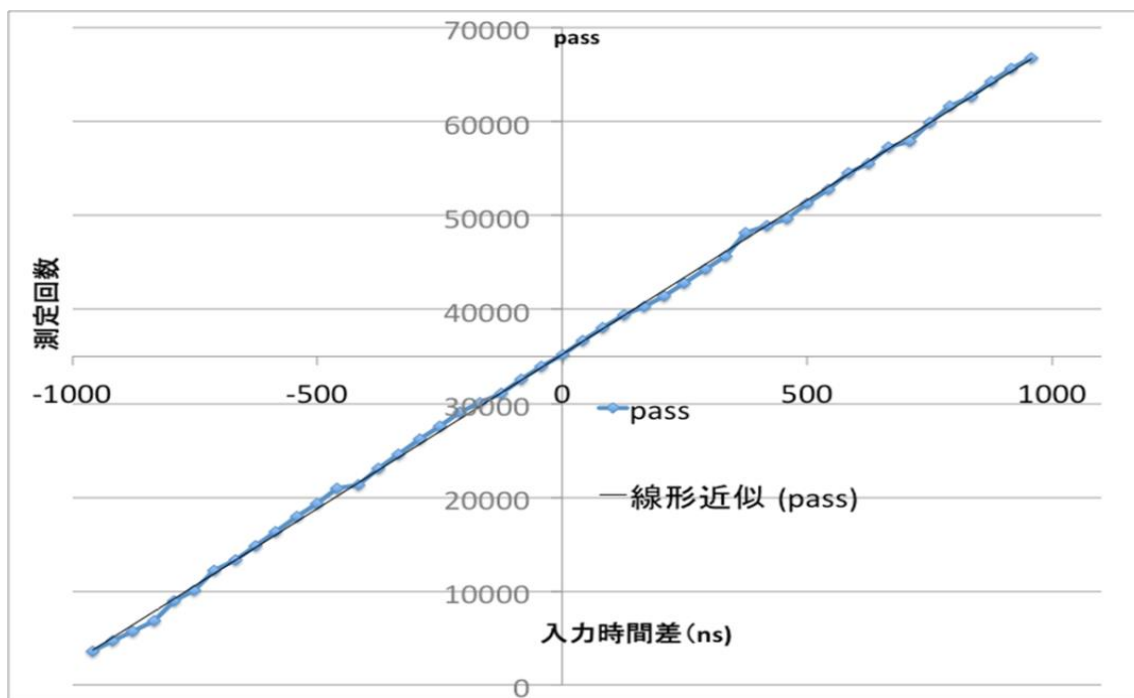


図 4.9 TDC の入出力特性

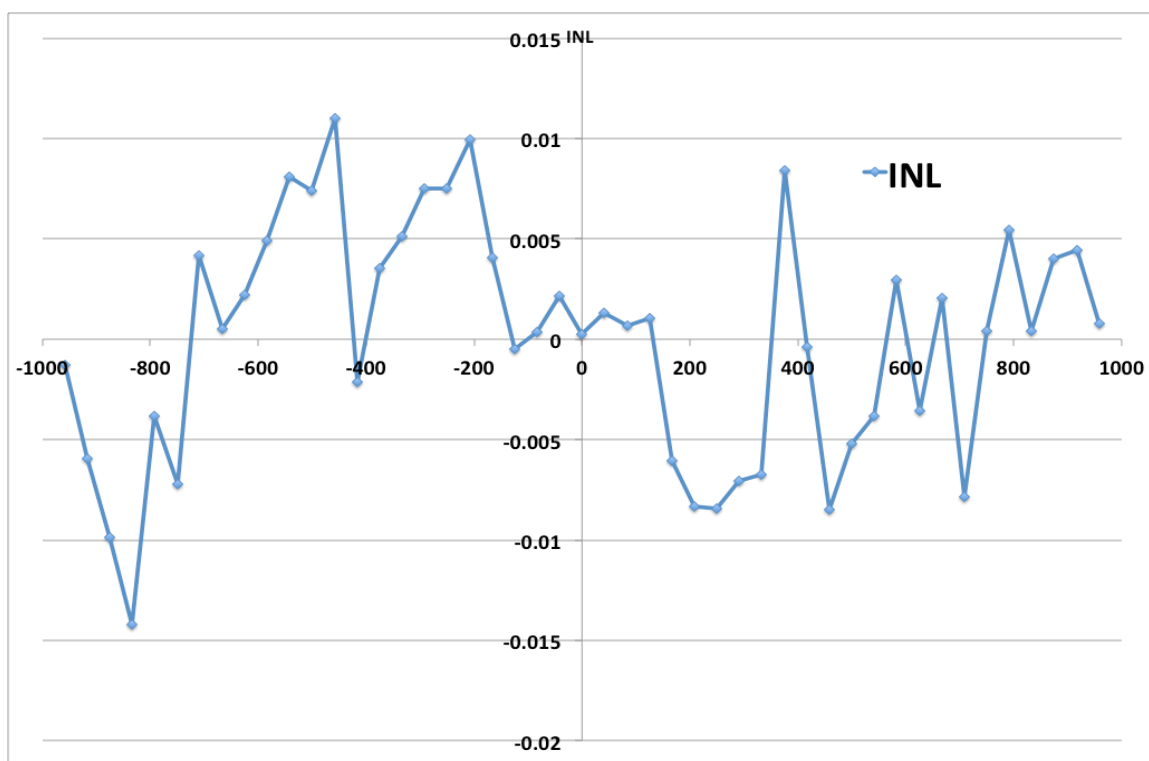


図 4.10 TDC の INL

第 5 章 遅延素子の誤差校正

5.1 遅延素子の誤差とその影響

第 3 章の図 3.1 で示した遅延セル配列で使用する遅延素子は実装した場合に製造ばらつきにより互いに相対誤差を生じる。また、この遅延素子の相対誤差により TDC の変換特性に非線形性が生じる。図 5.1 に遅延素子の誤差の影響を示す。

Digital Input	0	1	2	3	4	5	6	7	$\tau(N)$
4	$\Delta\tau_0$	$\Delta\tau_1$	$\Delta\tau_2$	$\Delta\tau_3$	$-\Delta\tau_4$	$-\Delta\tau_5$	$-\Delta\tau_6$	$-\Delta\tau_7$	
3	$\Delta\tau_0$	$\Delta\tau_1$	$\Delta\tau_2$	$-\Delta\tau_3$	$-\Delta\tau_4$	$-\Delta\tau_5$	$-\Delta\tau_6$	$-\Delta\tau_7$	
2	$\Delta\tau_0$	$\Delta\tau_1$	$-\Delta\tau_2$	$-\Delta\tau_3$	$-\Delta\tau_4$	$-\Delta\tau_5$	$-\Delta\tau_6$	$-\Delta\tau_7$	
2	$\Delta\tau_0$	$\Delta\tau_1$	$-\Delta\tau_2$	$-\Delta\tau_3$	$-\Delta\tau_4$	$-\Delta\tau_5$	$-\Delta\tau_6$	$-\Delta\tau_7$	
5	$\Delta\tau_0$	$\Delta\tau_1$	$\Delta\tau_2$	$\Delta\tau_3$	$\Delta\tau_4$	$\Delta\tau_5$	$-\Delta\tau_6$	$-\Delta\tau_7$	
3	$\Delta\tau_0$	$\Delta\tau_1$	$\Delta\tau_2$	$-\Delta\tau_3$	$-\Delta\tau_4$	$-\Delta\tau_5$	$-\Delta\tau_6$	$-\Delta\tau_7$	
4	$\Delta\tau_0$	$\Delta\tau_1$	$\Delta\tau_2$	$\Delta\tau_3$	$-\Delta\tau_4$	$-\Delta\tau_5$	$-\Delta\tau_6$	$-\Delta\tau_7$	
6	$\Delta\tau_0$	$\Delta\tau_1$	$\Delta\tau_2$	$\Delta\tau_3$	$\Delta\tau_4$	$\Delta\tau_5$	$\Delta\tau_6$	$-\Delta\tau_7$	
INTEGRAL)									
	$8\Delta\tau_0$	$+8\Delta\tau_1$	$+4\Delta\tau_2$		$-4\Delta\tau_4$	$-4\Delta\tau_5$	$-6\Delta\tau_6$	$-8\Delta\tau_7$	

図 5.1 遅延線と入力

図 5.1 の赤色マスでは CLK1 に、白マスでは CLK2 に遅延を与えている。遅延素子の平均値に対する誤差を $\Delta\tau$ とする。マルチビット $\Delta\Sigma$ TDC は時間差信号入力を行うと $\Delta\tau$ が時間差信号に掛かり、後段の積分器で誤差が積分される。その結果入力時間時間差に対して適切な積分器出力を取ることが出来なくなり非線形性が生じる。

図 5.1 では 8 回の測定により

$$(8\Delta\tau_0)+(8\Delta\tau_1)+(4\Delta\tau_2)-(4\Delta\tau_4)-(4\Delta\tau_5)-(6\Delta\tau_6)-(8\Delta\tau_7)$$

の誤差が積分器で発生する。

この誤差は入力する時間差 Δt によって大きく異なってしまうため、結果的に TDC の非線形性の原因となってしまう。

5.2 Data Weighted Averaging

この非線形性を補正するため Data Weighted Averaging アルゴリズムを提案する。DWA は第 3 章図 3.6 で示したフィードバックの配線に対し、DWA 実現回路を Dout から遅延線入力の間に挿入することで実現する。図 5.2 に 3bit $\Delta\Sigma$ TDC の DWA 実現回路ブロック図を示す。

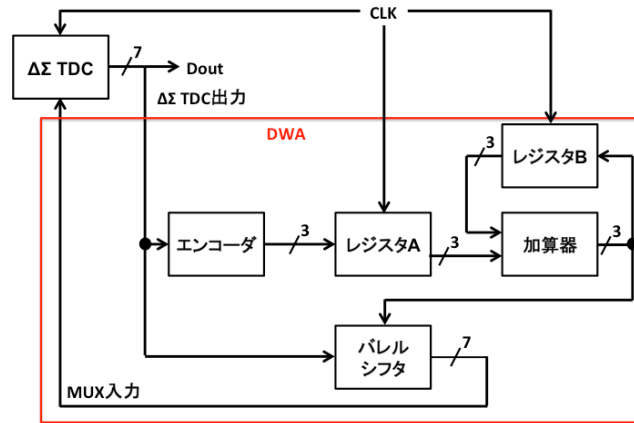


図 5.2 DWA 実現回路ブロック.

図 5.2 において TDC 出力は温度計フォーマットの 7 値, レジスタは 3bit である。加算器で 3bit 以上のオーバーフローした値は全て切り捨てとしている。DWA は初回時間差入力において TDC 出力をレジスタ B で記録するとともに TDC 出力をそのまま DWA 出力とし遅延素子を決する。二回目以降の時間差入力では TDC の出力とレジスタ B に記録されたこれまでの入力を足し合わせ、パレルシフタで次回の TDC 入力で使用する遅延素子を決する。図 5.3 に DWA アルゴリズムによる使用遅延素子の変更の動作例を示す。

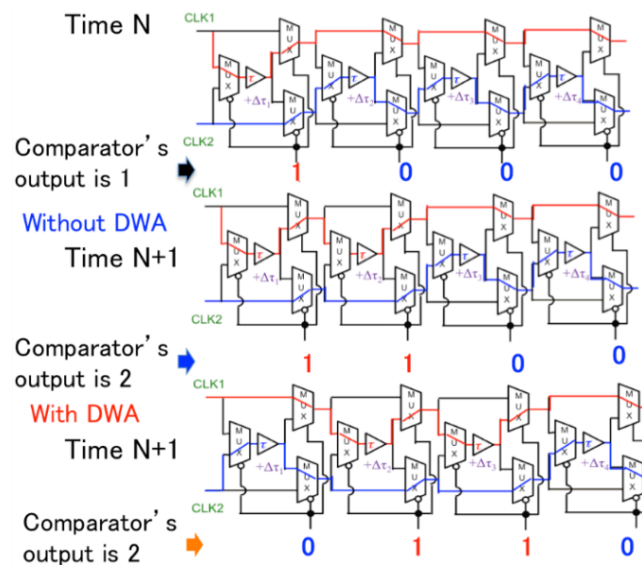


図 5.3 DWA アルゴリズムの回路動作

エレメントローテーションでは、使用する遅延素子を順々に交換させていく。図 6 の Time N で $Dout=[1,0,0,0]$ が入力され、左端の MUX 入力が 1、他の MUX 入力が 0 であったとする。Time N+1 にて入力が $[1,1,0,0]$ となった場合、DWA 未使用では左 2 つの MUX 入力が 1、他の MUX 入力が 0 となる。DWA を使用した場合、Time N で使用した左端の MUX の次の MUX から入力される。図 6 の TimeN+1 場合、左端が 0 その右 2 つが 1、その右が 0 となる。結果として CLK1 と CLK2 にかかる遅延素子を変更される。

そして、この DWA アルゴリズムの適用により遅延素子の相対誤差の積分値を減少させることができる。図 5.4 に DWA アルゴリズムによる積分器誤差について示す。

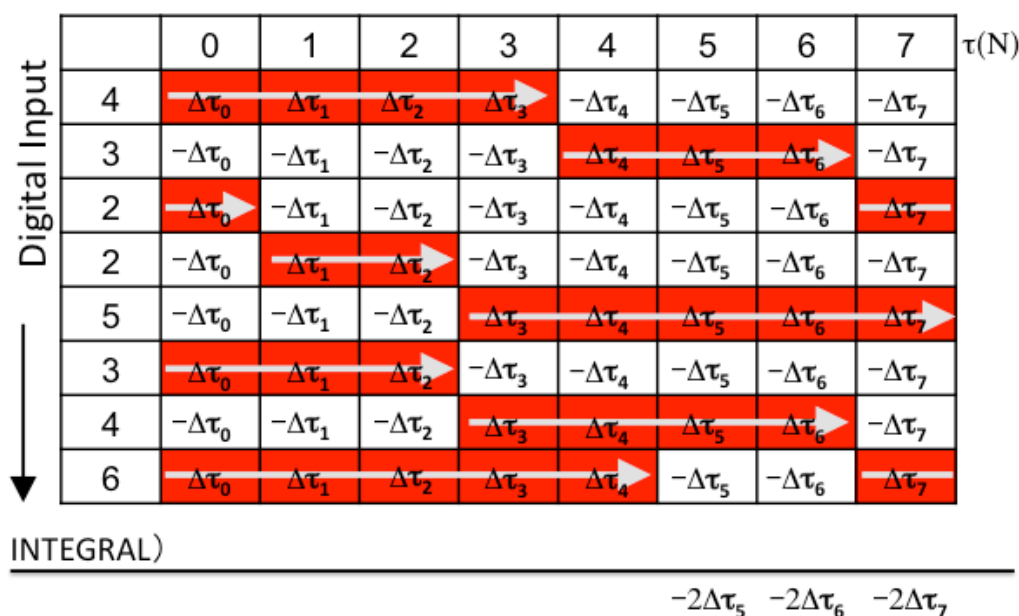
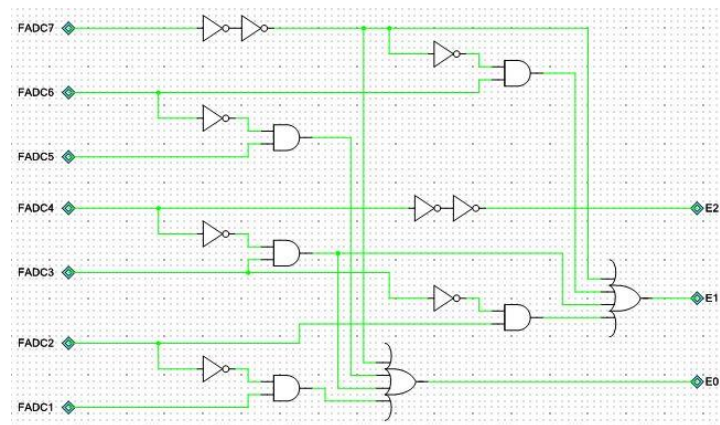


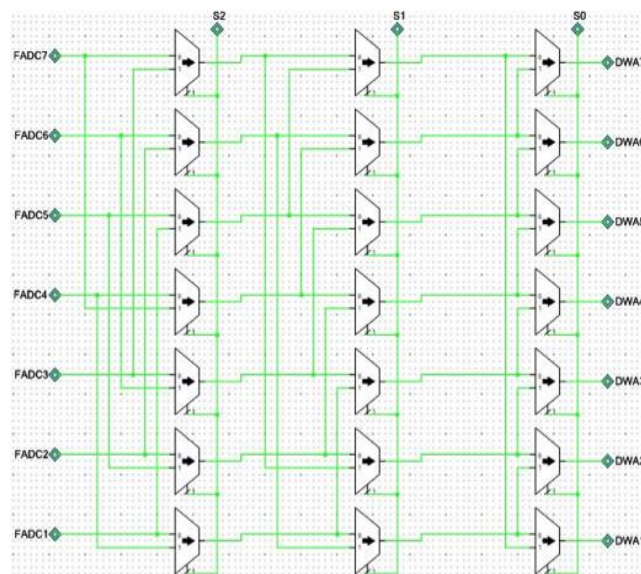
図 5.4 遅延素子相対ばらつきの積分誤差 (DWA 使用時)

図 5.4 では最初のデジタル入力が 4、次の入力では 3 である。DWA により 1 回目の入力に対し 2 回目入力では 4 番目の遅延素子から使用される。DWA アルゴリズムを適用した場合、図 5.4 の左上のように N 回目と N+1 回目で入力数値が反転する時、N 回目の遅延素子誤差成分で積分器出力が上下しても N+1 回目の入力で前回と逆の入力が発生し打ち消される。そのため、測定点数を十分に多く取った場合、DWA を使用しない場合に比べて誤差の累積量が減少する。図 7 の場合は 8 回の入力により $(2\Delta\tau_5) \cdot (2\Delta\tau_6) \cdot (2\Delta\tau_7)$ の誤差であり、DWA を使用しない場合に比べて誤差量が減少する。

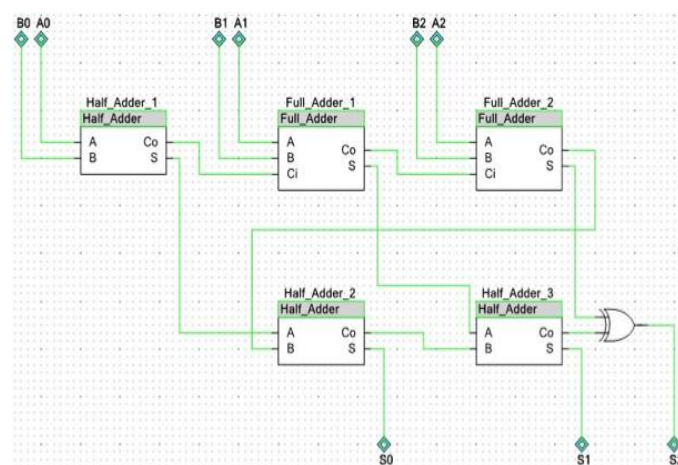
図 5.5 に DWA 回路実装のために PSoC 上へ実装したレジスタ、バレルシフタ、加算器を示す。また、第 4 章図 4.6 の右上の D フリップフロップもレジスタとして使用した。



(a) エンコーダ



(b) バレルシフタ



(c) 加算器

図 5.5 PSoC 上に実装した回路図

5.3 Data Weighted Averaging の実証実験

DWA について効果の検証のため実装実験を行う。図 5.6 に実験 2 の条件を示す。実験 2 では 2 番目の遅延素子に $+1\tau$ の誤差を与え測定を行った。実験方法は第 4 章の実験と同じとし、入力時間差範囲を -583ns から $+583\text{ns}$ として測定を行った

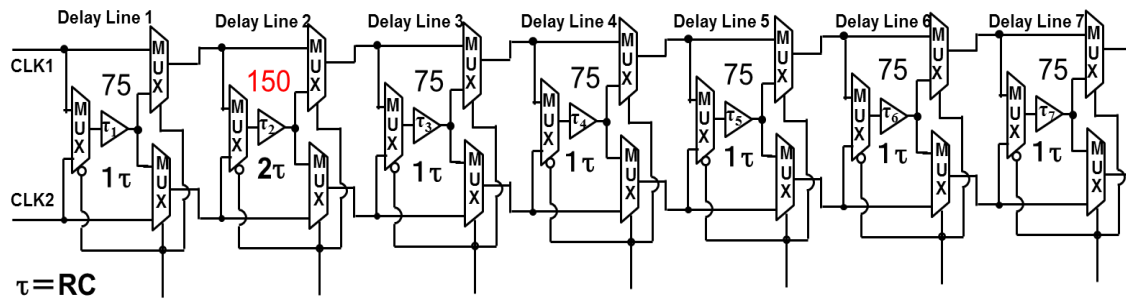


図 5.6 実験 2 の条件

図 5.7 に DWA 未使用時および DWA 使用時の入出力特性と入出力特性の近似直線を示す。DWA 未使用の場合は -200ns 付近において近似直線から大きく離れた非線形性を確認できるが、DWA の使用により非線形性の減少が確認できる。図 5.8 に INL を示す。最大 INL は 0.022 から 0.005 にまで大きく減少し、DWA の効果を実証した。

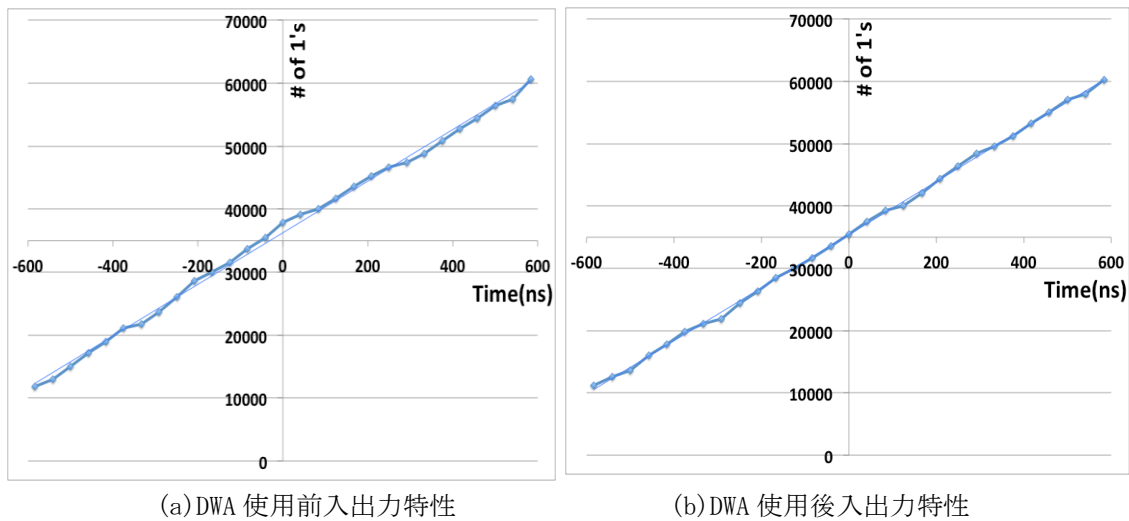


図 5.7 実験 2 TDC 入出力特性

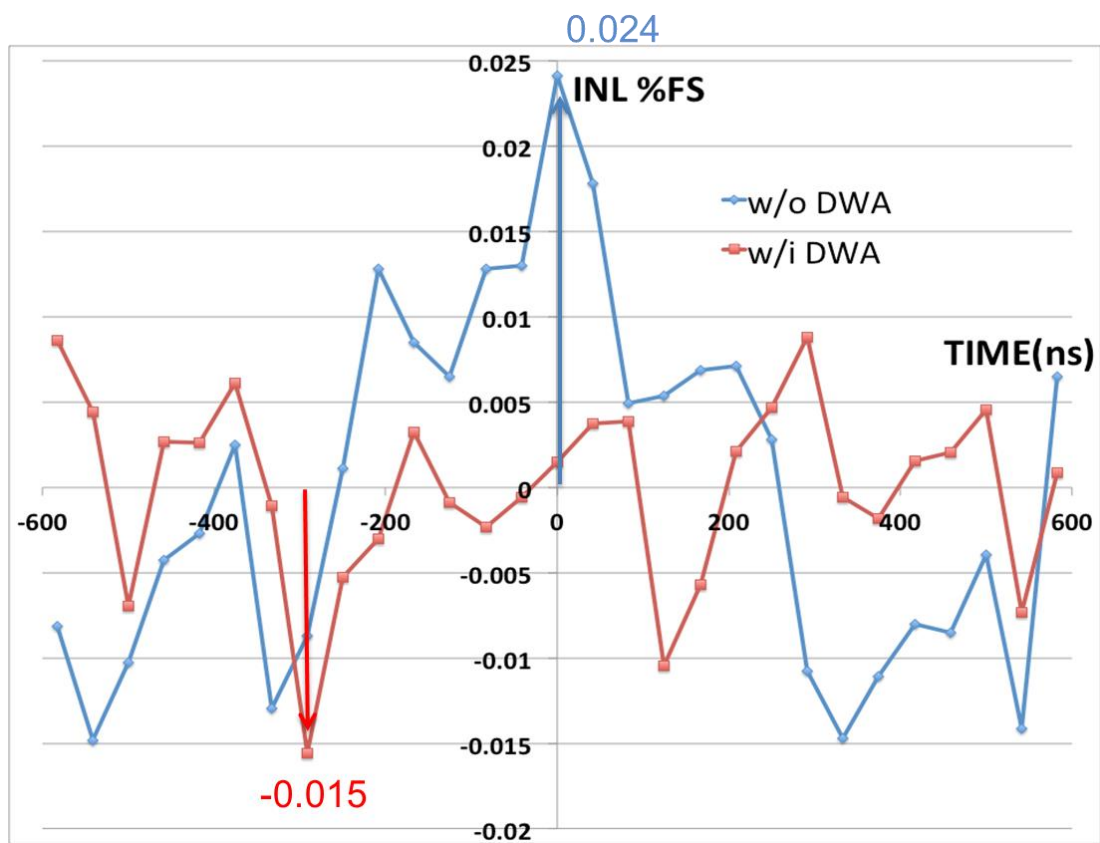


図 5.8 実験 2 自己校正前後の INL

続いて、実験 3 として 2 番目と 4 番目の二つの遅延素子に $+0.5\tau$ の誤差を与え測定を行った。実験方法は第 4 章の実験と同じである。図 5.9 に測定条件を示す。

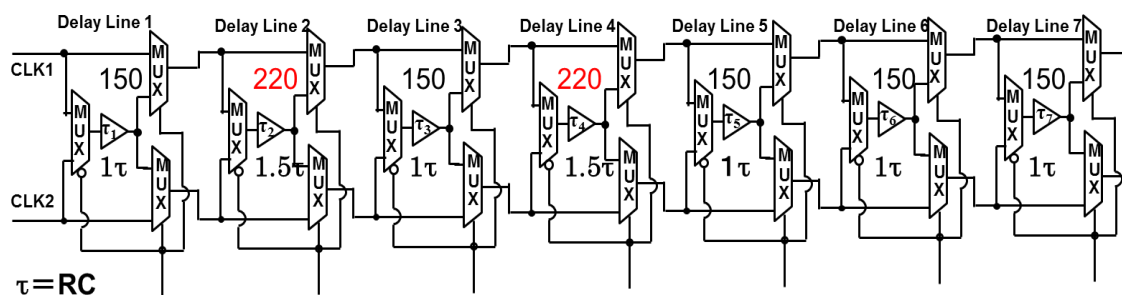
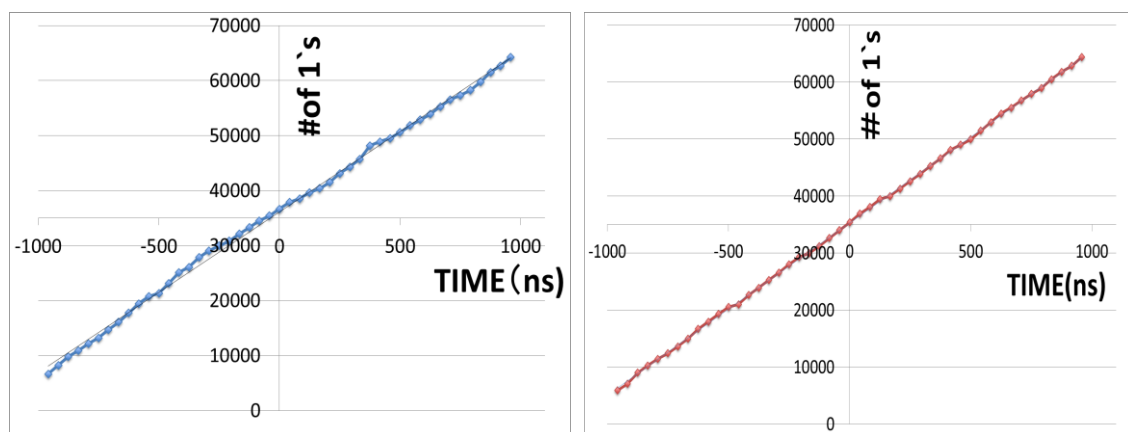


図 5.9 実験 3 の条件

図 5.10 に DWA 未使用時および DWA 使用時の入出力特性と入出力特性の近似直線を示す。DWA 未使用の場合は $-900\text{ns} \sim -100\text{ns}$ 付近において近似直線から離れた非線形性を確認できるが、DWA の使用により非線形性の減少が確認できる。図 5.11 に INL を示す。最大 INL は 0.021 から -0.007 にまで減少し、DWA の効果を実証した。



(a) DWA 使用前入出力特性

(b) DWA 使用后入出力特性

図 5.10 実験 3 TDC 入出力特性

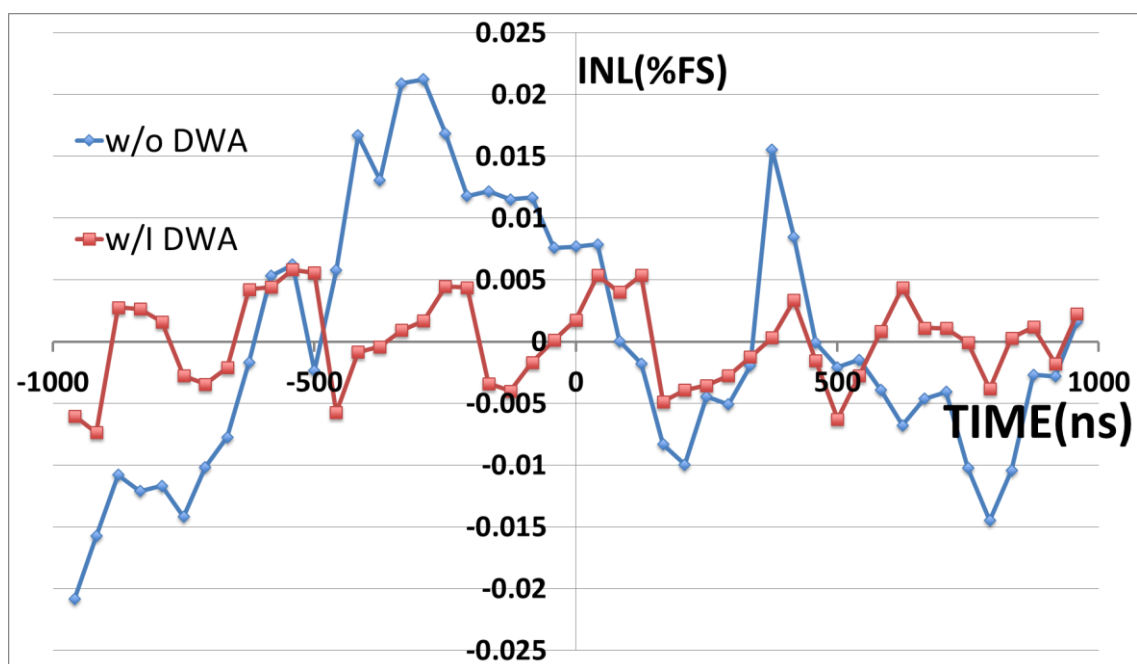
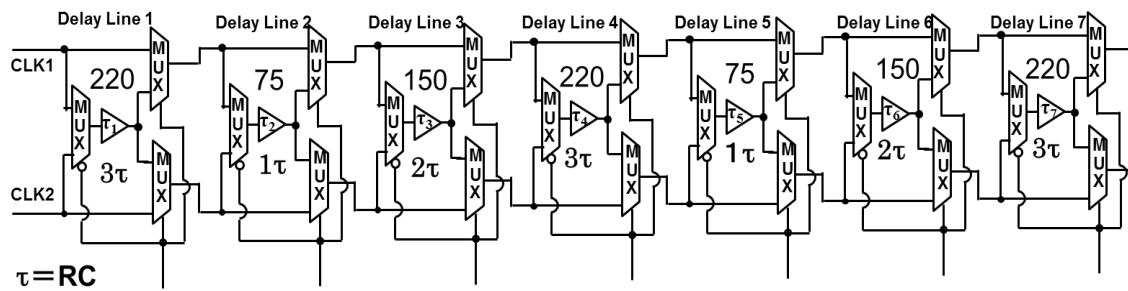
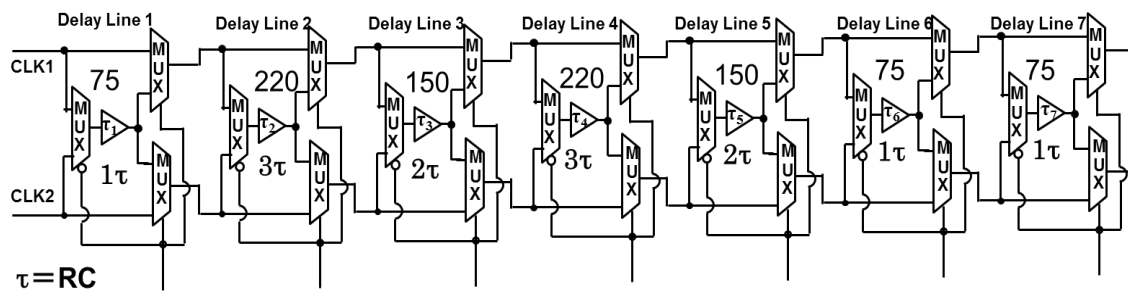


図 5.11 実験 3 自己校正前後の INL

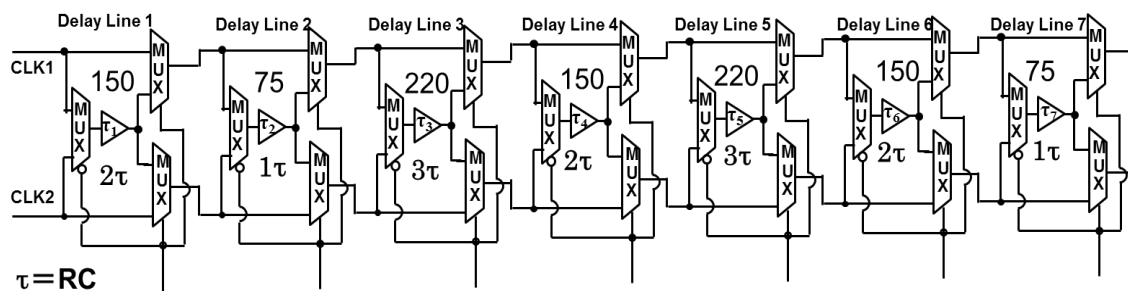
続いて、全ての遅延素子に誤差を与え複数の実験を行った。実験 4 の条件を図 5.12 (a) に実験 5 の条件を図 5.12 (b) に、実験 6 の条件を図 5.12 (c) に示す。



(a)実験 4 測定条件



(b)実験 5 測定条件



(c) 実験 6 測定条件

図 5.12 複数の誤差を与える実験条件

図 5.13 に実験 4 の DWA 未使用時および DWA 使用時の入出力特性と入出力特性の近似直線を示す。DWA 未使用の場合は+200ns 付近において近似直線から大きく離れた非線形性を確認できるが、DWA の使用により非線形性の減少が確認できる。図 5.14 に INL を示す。最大 INL は-0.035 から 0.0034 にまで減少し、DWA の効果を実証した。

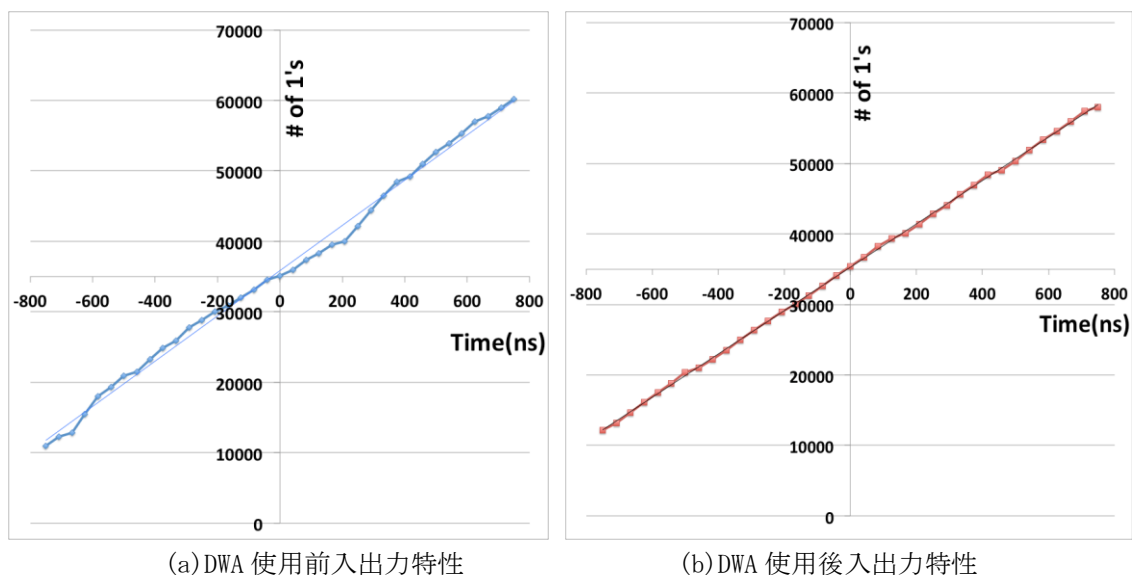


図 5.13 実験 4 TDC 入出力特性

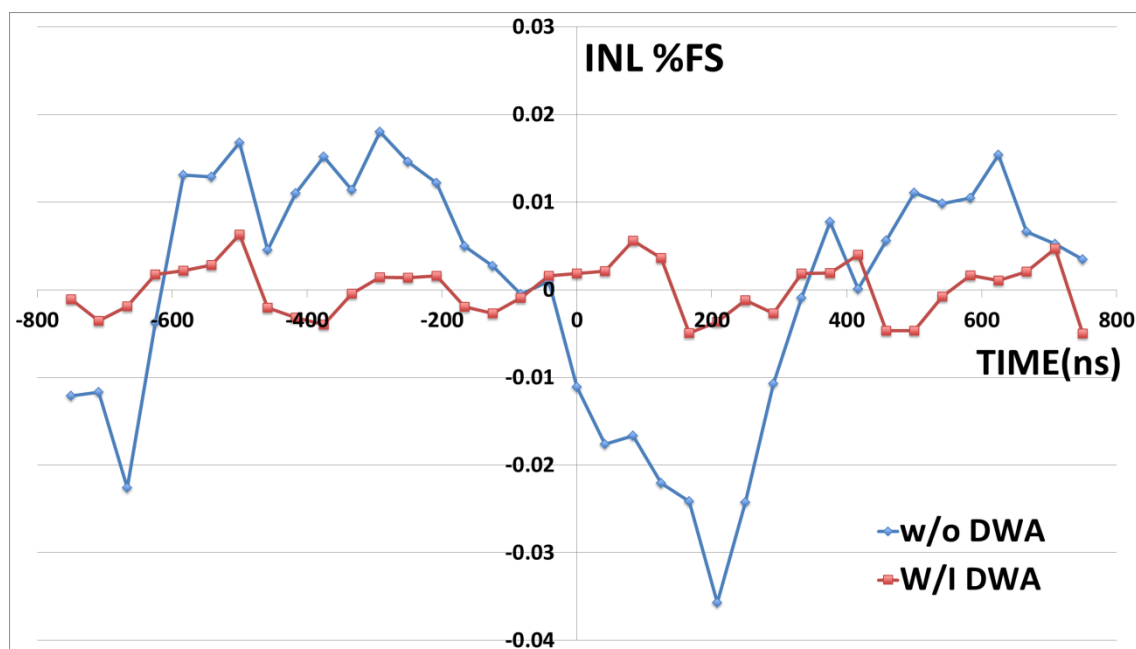


図 5.14 実験 4 自己校正前後の INL

図 5.15 に実験 5 の DWA 未使用時および DWA 使用時の入出力特性と入出力特性の近似直線を示す。DWA 未使用の場合は +200ns 付近において近似直線から大きく離れた非線形性を確認できるが、DWA の使用により非線形性の減少が確認できる。図 5.16 に INL を示す。最大 INL は -0.050 から 0.011 にまで減少し、DWA の効果を実証した。

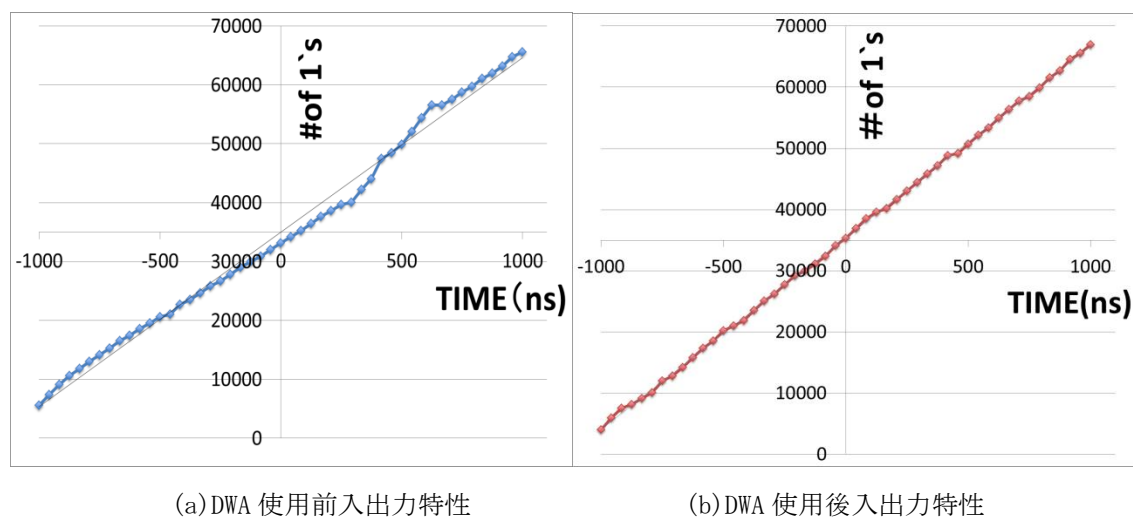


図 5.15 実験 5 TDC 入出力特性

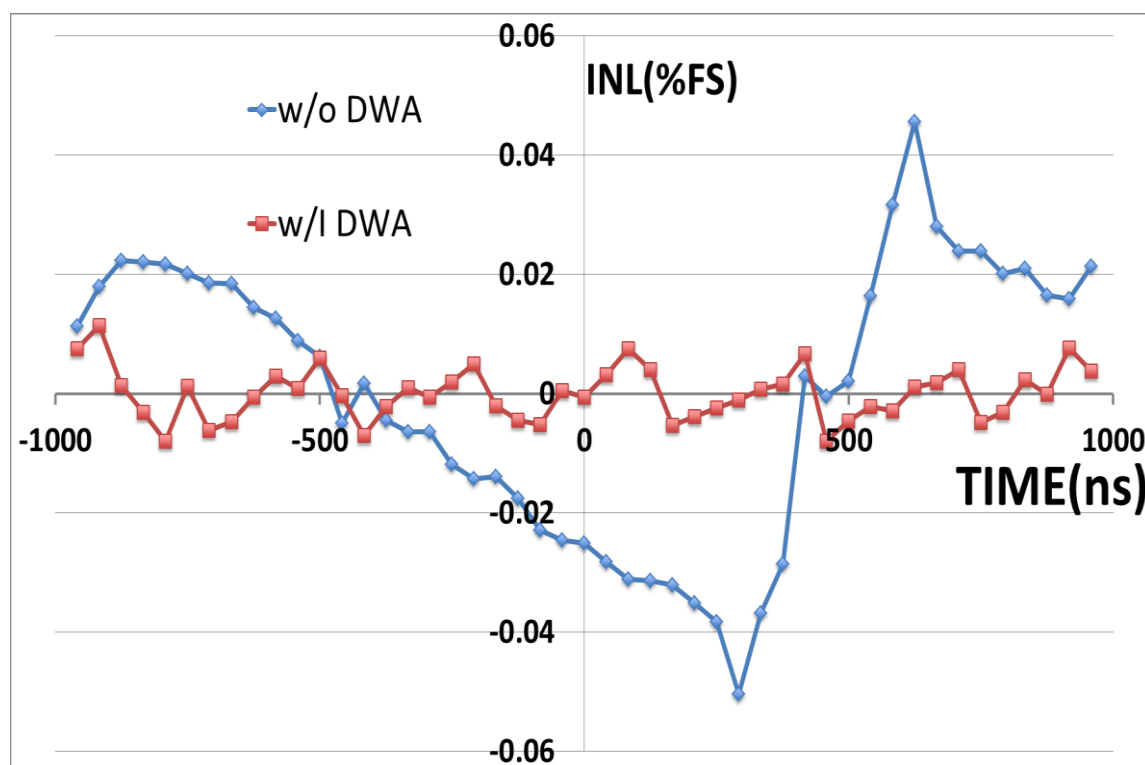
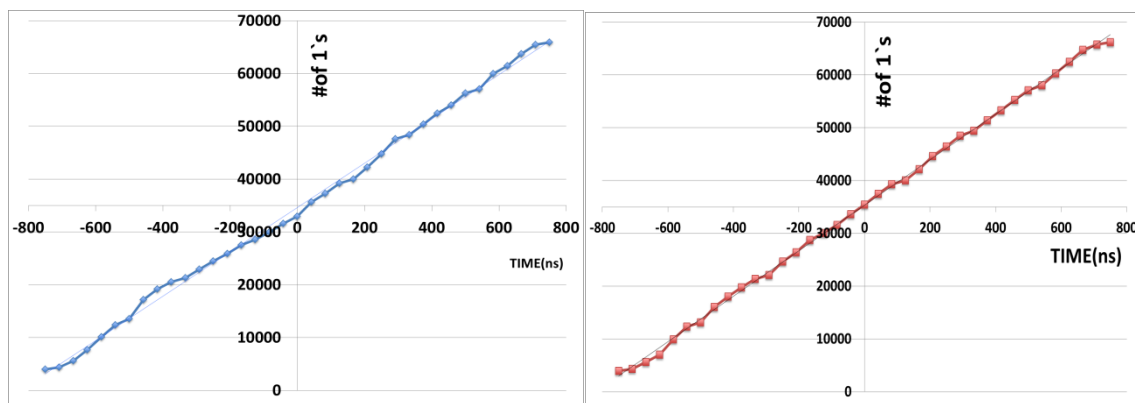


図 5.16 実験 4 自己校正前後の INL

図 5.17 に実験 6 の DWA 未使用時および DWA 使用時の入出力特性と入出力特性の近似直線を示す。DWA 未使用の場合は -400ns 付近において近似直線から大きく離れた非線形性を確認できるが、DWA の使用により非線形性の減少が確認できる。図 5.18 に INL を示す。最大 INL は 0.028 から 0.020 にまで減少し、DWA の効果を実証した。



(a) DWA 使用前入出力特性

(b) DWA 使用后入出力特性

図 5.17 実験 6 TDC 入出力特性

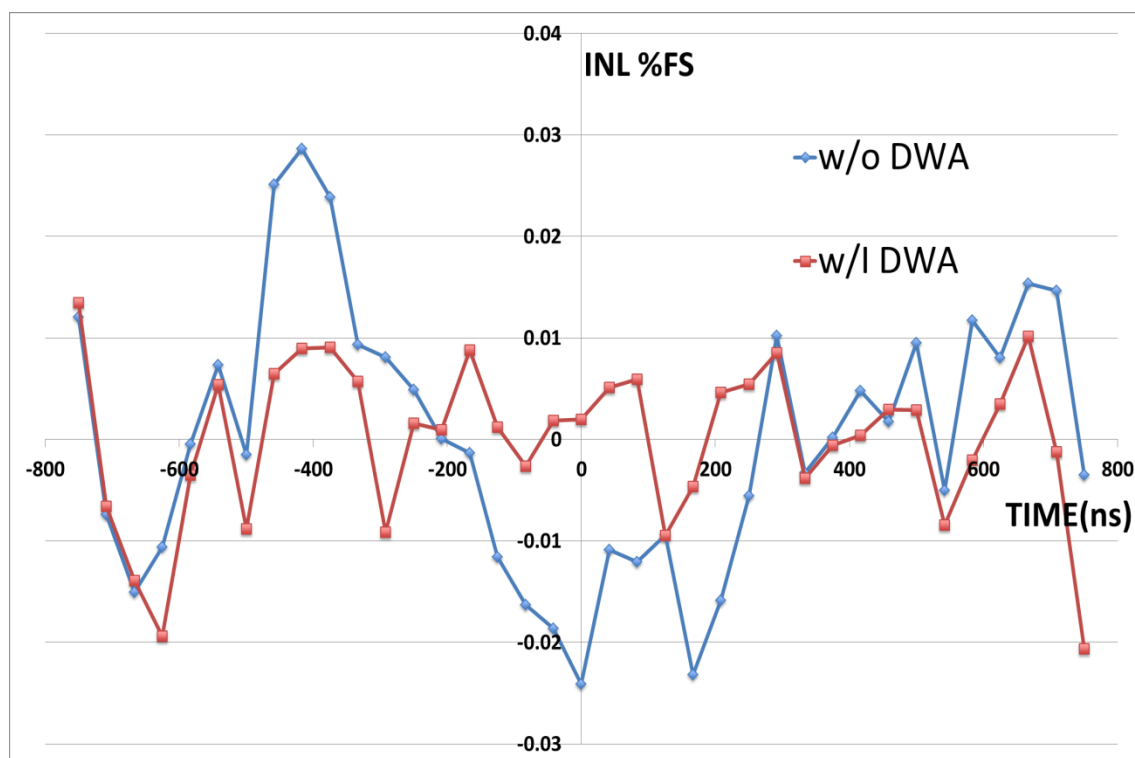


図 5.18 実験 6 自己校正前後の INL

以上により遅延素子の相対誤差によらず、DWAにより非線形性の減少が確認され、自己校正が可能であると実証した。

しかしながら、非線形性はゼロにはならなかった、理由として積分器や遅延素子等、内部回路のミスマッチが原因であると考えられる。

また、今回使用した PSoC のクロック生成器における周波数の誤差が非線形性へ影響したと考えられる。PSoC 内部にはクロック生成器が存在するが、生成するクロックにおいては最大 5 パーセントの誤差が存在している。また、今回は 24MHz でクロックを生成したため、厳密な入力の周波数は 22.8MHz から 25.2MHz となる。このクロックが PWM のカウンタに入力される。カウンタでは入力回数を記録し、予め決めた時間差だけカウンタに入力があると、時間差信号の後に立ち上がる方の CLK が出力される。そのため、入力クロックの周波数誤差が存在すると PWM の連続時間差信号生成にその誤差が時間差の誤差として影響する。

その結果、本来入力すべき時間差と実際に入力される時間差に誤差が発生し、TDC の線形性について考慮する上で入力時間差の方に誤差があり、特性評価に非線形性が表れたと考えられる。

第 6 章 結論

本研究では、時間信号測定回路の研究として以下の 2 つを提案した。

1. マルチビットデルタシグマ型タイムディジタイザ回路
2. Data Weighted Averaging によるマルチビットデルタシグマ型タイムディジタイザ回路の自己校正

デルタシグマ型タイムディジタイザ回路は、従来のフラッシュ型タイムディジタイザ回路とは異なり、繰り返し信号を測定する回路である。従来のシングルビットデルタシグマ型タイムディジタイザ回路には測定時間が掛かるという欠点があり、この欠点を克服するためのマルチビット化を行った。回路のマルチビット化においては「遅延線の複数個化」「コンパレータを差動 ADC へ変更」「差動 ADC 出力を並列に遅延線にフィードバック」を行う。回路は遅延素子 τ 、マルチプレクサ (MUX)、位相比較器、アナログ積分器、差動 ADC によって構成されている。また、3bit のマルチビットデルタシグマ型タイムディジタイザ回路をマイクロコントローラである PSoC を用いて実装し、測定することによって検証した。実機での測定により、提案回路で時間差測定が可能であると実証した。

Data Weighted Averaging (DWA) はマルチビットデルタシグマ型タイムディジタイザ回路の非線形性を校正する手法である。マルチビットデルタシグマ型タイムディジタイザ回路は遅延線を複数個使用するが、内部の遅延素子には製造ばらつきが存在する。このばらつきに対し、使用する遅延素子を順々に入れ替えることにより、CLK1 と CLK 2 の双方に誤差の影響が出るようにし、互いに誤差の打ち消しを行うことでばらつきの影響を減らす。回路は、エンコーダ、レジスタ、加算器、バレルシフタによって構成されている。また、上記で実装したマルチビットデルタシグマ型タイムディジタイザ回路に DWA を取り付け誤差に対する測定を行い検証した。この実機での測定により、提案回路で遅延素子の誤差由来の非線形性の減少が可能であると実証した。

謝辞

本研究を進めるに当たり、3年間懇切丁寧に御指導・御鞭撻を頂きました、群馬大学大学院理工学研究科、小林春夫教授に心より感謝申し上げます。主査をして頂き、有益な助言を頂きました高井伸和准教授に心より感謝いたします。副査をして頂き、有益な助言を頂きました浅見幸司客員教授に心より感謝いたします。

また、鶴岡高等専門学校、加藤健太郎准教授からは大変有意義な助言を頂きました。心より感謝いたします。研究室、研究生活面で世話になりました、石川信宣技官に感謝いたします。群馬大学小林研究室、高井研究室の方々には有益な助言、議論をして頂き、本研究を行う上で大変良い刺激になりました。ここに感謝いたします。

本研究に対し大変有意義なご意見・ご討論を頂きました松浦達治氏、山口隆弘氏、及び STARC の小林修氏をはじめとするアナログテスト容易化研究グループの関係者の皆様に心より感謝申し上げます。

最後に、本研究に対して沢山の有益な機会を与えて下さいました関係者の皆様に心より御礼申し上げます。

参考文献

- [1] Y. Arai, T. Baba, “A CMOS Time to Digital Converter VLSI for High-Energy Physics”, IEEE Symposium on VLSI Circuits (1988).
- [2] 安田 靖彦「技術の生みの親・育ての親」郵政研究所月報 巻頭言 (2001 年 7 月).
- [3] B. Young, K. Sunwoo, A. Elshazly, P. K. Hanumolu, “A 2.4ps Resolution 2.1mW Second-order Noise-shaped Time-to-Digital Converter with 3.2ns Range in 1MHz Bandwidth,” IEEE Custom Integrated Circuits, San Jose (Sept. 2010)
- [4] 平林 大樹、荒川 雄太、河内智、石井 正道、上森 聡史佐藤 幸志、小林 春夫、新津 葵一、高井 伸和「デジタル信号タイミング試験用 BOST の検討」電気学会 電子回路研究会, 熊本 (2012 年 10 月)
- [5] S. Uemori, M. Ishii, H. Kobayashi, et. al., “Multi-bit Sigma-Delta TDC Architecture with Improved Linearity”, Journal of Electronic Testing: Theory and Applications, Springer, vol. 29, no. 6, pp.879-892 (Dec. 2013).
- [6] T. Chujo, D. Hirabayashi, K. Sato, H. Kobayashi, “Multi-bit Delta-Sigma TDC BOST for Timing Test”, IEEE International Test Conference, Poster Session, Seattle, WA (Oct. 2014).
- [7] 小林春夫「デルタシグマ型タイムデジタイザ回路のアルゴリズム・回路設計とアナログ FPGA 実現」 アナログ・ミックスドシグナルにおけるシステム設計セミナー (MathWorks 社セミナー)、横浜 (2014 年 6 月)
- [8] D. Hirabayashi, Y. Osawa, N. Harigai, H. Kobayashi et. al., “Phase Noise Measurement with Sigma-Delta TDC”, IEEE International Test Conference, Poster Session, Anaheim, CA (Sept. 2013).
- [9] 大澤優介、平林大樹、針谷尚裕、小林春夫、新津葵一、小林修「デルタシグマ TDC を用いた位相ノイズ測定」 電気学会 電子回路研究会 島根 (2014 年 7 月)
- [10] Y. Osawa, D. Hirabayashi, N. Harigai, H. Kobayashi, K. Niitsu, O. Kobayashi, “Phase Noise Measurement Techniques Using Delta-Sigma TDC”, IEEE International Mixed-Signals, Sensors and Systems Test Workshop (IMS3TW'14), Porto Alegre, Brazil (Sept. 2014).

業績

- [1] Takeshi Chujo, Daiki Hirabayashi, Kentaroh Katoh, Congbing Li, Yutaro Kobayashi, Junshan Wang, Koshi Sato, Haruo Kobayashi "Experimental Verification of Timing Measurement Circuit With Self-Calibration", IEEE International Mixed-Signals, Sensors and Systems Test Workshop (IMS3TW'14), Porto Alegre, Brazil (Sept. 17-19, 2014).
- [2] Takeshi Chujo, Daiki Hirabayashi, Masanobu Tsuji, Koshi Sato, Haruo Kobayashi, "Multi-bit Delta-Sigma TDC BOST for Timing Test", IEEE International Test Conference, Poster Session, Seattle, WA (Oct. 2014).
- [3] 中條剛志、平林大樹、荒船拓也、佐藤幸志、小林 春夫「マルチビットデルタシグマ型 タイムディジタル回路の FPGA 実現・測定検証」 電気学会 電子回路研究会, 秋田 (2014年10月9日、10日)
- [4] Junshan Wang, Kentaroh Katoh, Congbing Li, Ensi Li, Yutaro Kobayashi, Takeshi Chujo, Daiki Hirabayashi, Haruo Kobayashi, "Digital FPGA Implementation of TDC With Self-Calibration" The 3rd Solid State Systems Symposium-VLSIs and Semiconductor Related Technologies & The 17th International Conference on Analog VLSI Circuits, Ho Chi Minh City, Vietnam (Oct. 22-24, 2014)
- [5] Takeshi Chujo, Daiki Hirabayashi, Kentaroh Katoh, Congbing Li, Yutaro Kobayashi, Junshan Wang, Koshi Sato, Haruo Kobayashi, "FPGA Evaluation of Flash-type TDC With Histogram Method Self-Calibration", The 3rd Solid State Systems Symposium-VLSIs and Semiconductor Related Technologies & The 17th International Conference on Analog VLSI Circuits, Ho Chi Minh City, Vietnam (Oct. 22-24, 2014)
- [6] Junshan Wang, Kentaroh Katoh, Congbing Li, Ensi Li, Yutaro Kobayashi, Takeshi Chujo, Daiki Hirabayashi, Haruo Kobayashi "Digital FPGA Implementation of TDC With Self-Calibration" 1st International Symposium of Gunma University Medical Innovation and 6th International Conference on Advanced Micro - Device Engineering (GUMI&AMDE 2014) Kiryu, Japan (Dec. 5, 2014)
- [7] Takeshi Chujo, Daiki Hirabayashi, Haruo Kobayashi, Kentaroh Katoh, Koshi Sato "FPGA Evaluation of Flash-type TDC With Histogram Method Self-Calibration" 1st International Symposium of Gunma University Medical Innovation and 6th International Conference on Advanced Micro-Device Engineering (GUMI&AMDE 2014) Kiryu, Japan (Dec. 5, 2014)

- [8] Takuya Arafune, Takeshi Chujo, Daiki Hirabayashi, Masanobu Tsuji, Haruo Kobayashi, " Analog FPGA Implementation of Multi-bit Delta-Sigma TDC," 1st International Symposium of Gunma University Medical Innovation and 6th International Conference on Advanced Micro-Device Engineering (GUMI&AMDE 2014) Kiryu, Japan (Dec. 5, 2014)
- [9] Kentaroh Katoh, Yutaro Kobayashi, Takeshi Chujo, Junshan Wang, Ensi Li, Congbing Li, Haruo Kobayashi, "A Small Chip Area Stochastic Calibration for TDC Using Ring Oscillator", Journal of Electronic Testing: Theory and Applications, vol.30, issue 6, pp.653-663, Springer (Dec. 2014).
- [10] Takeshi Chujo, Daiki Hirabayashi, Takuya Arafune, Shohei Shibuya, Shu Sasaki, Haruo Kobayashi, Masanobu Tsuji, Ryoji Shiota, Masafumi Watanabe, Noriaki Dobashi, Sadayoshi Umeda, Hideyuki Nakamura, Koshi Sato "Timing Measurement BOST With Multi-bit Delta-Sigma TDC", 20th IEEE International Mixed-Signal Testing Workshop, Paris, France (June 24-26, 2015).
- [11] Takeshi Chujo, Daiki Hirabayashi, Takuya Arafune, Shohei Shibuya, Haruo Kobayashi, Masanobu Tsuji, Koshi Sato, " Timing Measurement BOST With Multi-bit Delta-Sigma TDC" IEEE International Mixed-Signals, Sensors and Systems Test Workshop (IMS3TW'15), Porto Alegre, Brazil (Sept. 2015).
- [12] Takeshi Chujo, Daiki Hirabayashi, Takuya Arafune, Shohei Shibuya, Haruo Kobayashi, Masanobu Tsuji, Koshi Sato, " Timing Measurement BOST With Multi-bit Delta-Sigma TDC" IEEE International Mixed-Signals, Sensors and Systems Test Workshop (IMS3TW'15), Porto Alegre, Brazil (Sept. 2015).
- [13] Takeshi Chujo, Junshan Wang, Daiki Hirabayashi, Congbing Li, Yutaro Kobayashi, Kentaroh Katoh, Haruo Kobayashi, Masanobu Tsuji, Koshi Sato "FPGA Evaluation of Flash-type TDC With Histogram Method for Linearity Self-Calibration," Advanced Micro-Device Engineering VI, Key Engineering Materials (2016)
- [14] 中條剛志、小林春夫「デルタシグマ型時間デジタイザ回路設計とアナログFPGA実現」第62回システムLSI合同ゼミ、早稲田大学西早稲田キャンパス（2016年1月30日）